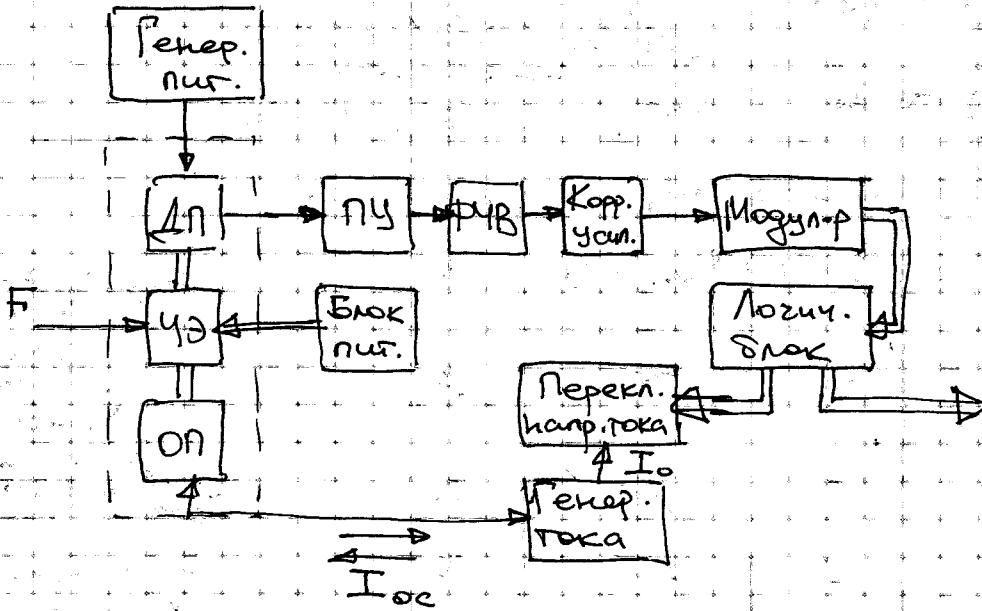


# УчПЭС



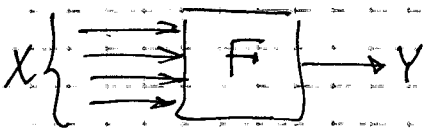
## Элементарная база цифровой электроники

Сущность цифровой электроники - обработка цифр. вых. сигналов в соотв. с заданными. Для этого оговар. 2 уровня сигналов:  
 - логич. "0"  
 - логич. "1"

Сущ. 2 формы вида цифр. схем:  
 1. Комбинаторная  
 2. Последовательная

### Комбинатор.

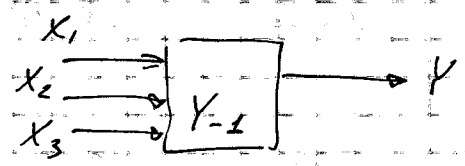
Состояние выхода - функция текущего сост. входов



Не имеет памяти

### Последоват.

Сост. выхода опред. функцией текущего состояния и логич. сигналов на входе



Имеет внутр. память

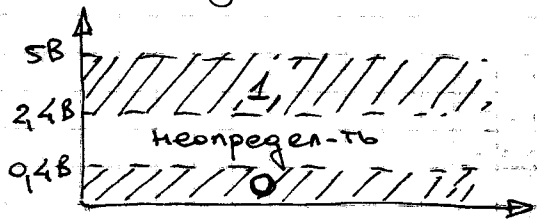
В завис. от технол. изготовл. интегр. цифровых схем

1. ТТЛ (TTL) - транз.-транз. логика (бипол. транз.)
2. КМОП (CMOS) - комплементарный металлооксидный полупров.
3. ЭСТЛ (ECL) - эмиттерно-связ. транзист. логика

ТТЛ Питание  $5B \pm 10\%$  ( $\pm 5\%$  при экстр. нагрузках).

$U_{BX}^0 \leq 0,4B$   
 $U_{BX}^1 \geq 2,4B$

$U_{BX}^0$  те же  
 $U_{BX}^1$



Совместимость м/у микросхемами.

Серия	$t_{заг}, \text{нс}$	$P, \text{мВт}$	$F_{\text{MAX}}, \text{МГц}$	$n$	$t_{заг}$ - средн. время задержки на элемент лог. цепи (подтвержден)
155, 133 (SN74, SN54) ТТЛ	10	10	35	10	$t_{0 \rightarrow 1} \neq t_{1 \rightarrow 0}$
555 (SN74LS) ТТЛ	9,5	2	45	20	$P$ -мощность на элемент лог. цепи
1533 (SN74ALS) ТТЛ	4	1	50	40	$F_{\text{MAX}}$ - макс. частота переключ. цепи
1531 (74F) ТТЛ	2	4	130	33	$n$ - нагруз. способн. сколько отводов микросх. можно подключить к одному
1594 (74HST) КМОП по сх. совм. с ТТЛ	5	0,1	50	-	$C_{наз} < 50 \text{ пФ}$
1564 (74HST) КМОП по сх. совм. с ТТЛ	8	0,01	20	-	$C_{наз} < 15 \text{ пФ}$

КМОП

Серия	$t_{заг}, \text{нс}$	$U_{\text{норм}}, \text{В}$
176, 164 (CD4000)	200	$\approx 9B$
564 (CD4000A)	80..100 (50 нФ)	3..15
561, 1561 (MC14000A, MC14000B)	25..30	13..18
1564 (74HC) КМОП без совм. с ТТЛ	8..10 (15 нФ)	2..6

Чем больше  $U_{\text{норм}}$ , тем быстрее работает.

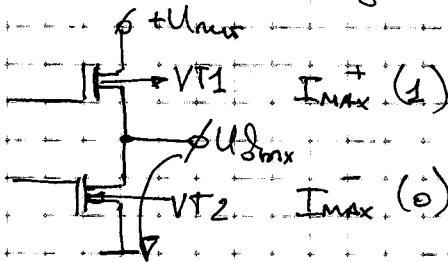
$U_{\text{норм}}$	$U_{BX}^0$	$U_{BX}^1$	$U_{BX}^0$	$U_{BX}^1$
5B	$\approx 0,5$	4,95	4,5	$\approx 3,5$
10B	$\approx 0,5$	9,95	$< 3$	$\approx 2$

## Достоинства:

1. Малая статическая мощность  $Q_{02} \approx 1 \text{ мкВт/дециметр}$
2. Широкий диапазон напряж. питания  $18 \dots 3 \text{ В}$   
 $6 \dots 2 \text{ В}$
3. Оч. выс. выходное сопротивление  $10^3 \dots 10^6 \text{ МОм}$  до  $12 \text{ В}$
4. Большая нагруз. способность  $n = 50$  (сред. емкостью)  
если  $f_{ком} \approx 10 \text{ кГц}$ ,  $n = 1000$
5. Незначит. зависимость характ. от температуры

## Недостатки:

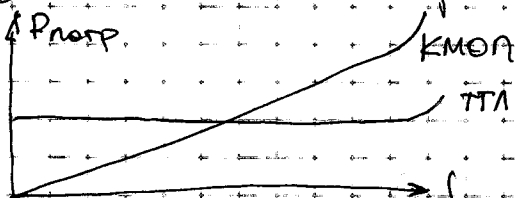
1. Повышенное выходное сопротивление



2. Большое значение емкости нагрузки и напряжения питания.

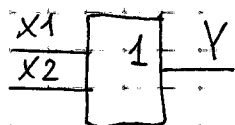
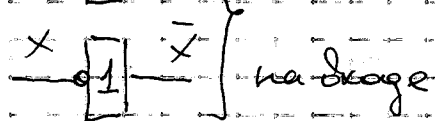
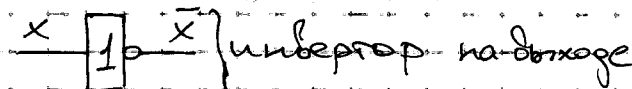
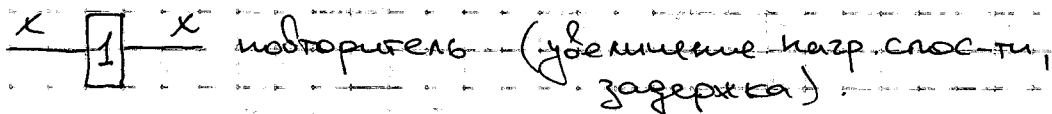
3. Критичны к фронтам импульсов

4. Зависимость от нагруз. индукции.



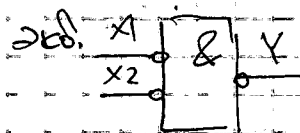
5. Очень большой разброс всех параметров

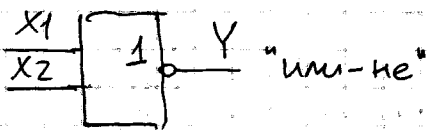
## Элементарные логические вентили.



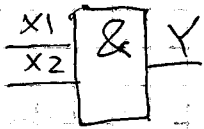
"или"

$x_1$	$x_2$	$y$
0	0	0
0	1	1
1	0	1
1	1	1

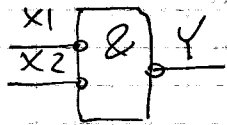




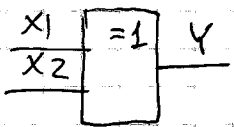
"ИЛИ-НЕ"



"И"



"И-НЕ"

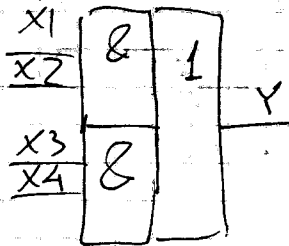


"ИСКЛ. ИЛИ"

X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1

X1	X2	Y
0	0	0
1	0	1
0	1	1
1	1	0

$$X1 \oplus X2$$

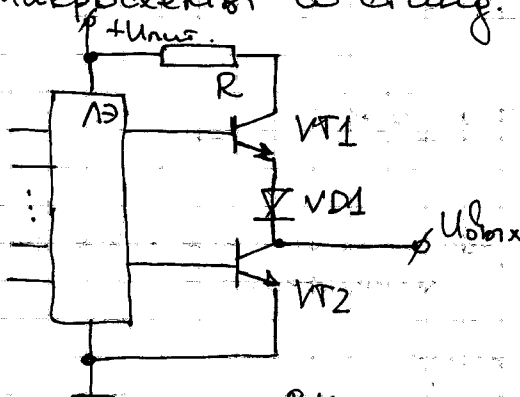


$$Y = X4 \cdot X3 + X2 \cdot X1$$

"2-2И-ИЛИ-НЕ"

По месту использ. 8 схемат:

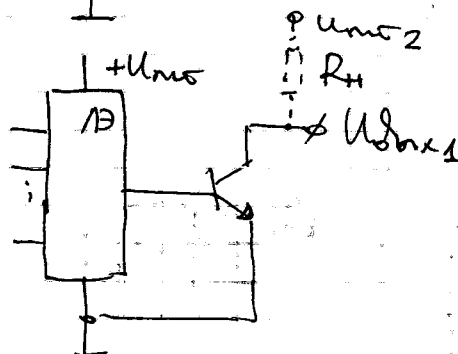
① Микросхемат со станд. выхodom



а)  $I_{вых}^0$  больше

б)  $I_{вых}^1$  ограничен

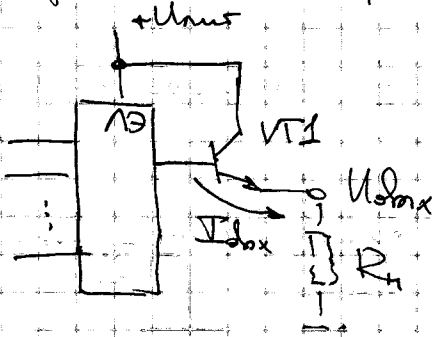
Несимм. характеристики по выхodu.



② Открытый коллектор

$$I_{вых}^0 = 8..100 \text{ мА.}$$

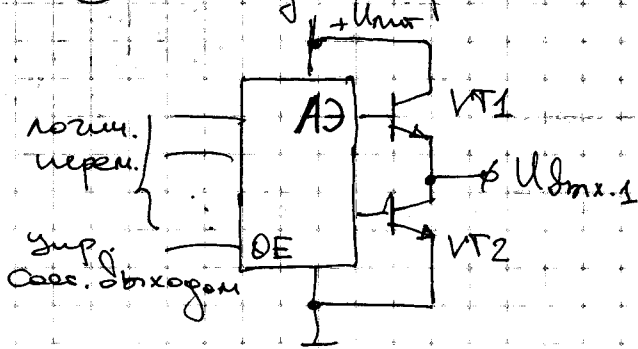
③ Ограниченный эмиттер



$$I_{дмх}^1 = I_{пит} = 100 \text{ mA}$$

④ Каскад с усилит. транзистором

⑤ Выход с тремя состояниями



OE - output enable

3 - е состояние - отключенный выход

$$I_{дмх}^0 \approx I_{дмх}^1 > 60 \text{ mA}$$

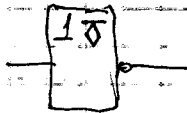
Предназначен для работы на гашимую нагрузку.

Здесь (вект.)  $I_{утечки} < 20 \text{ мкА}$ .

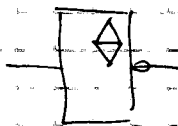
Станд. вых. каскад не требует особых указаний.  
Если исп. ОК (OC-соек):



ОЭ:



ТЭ:

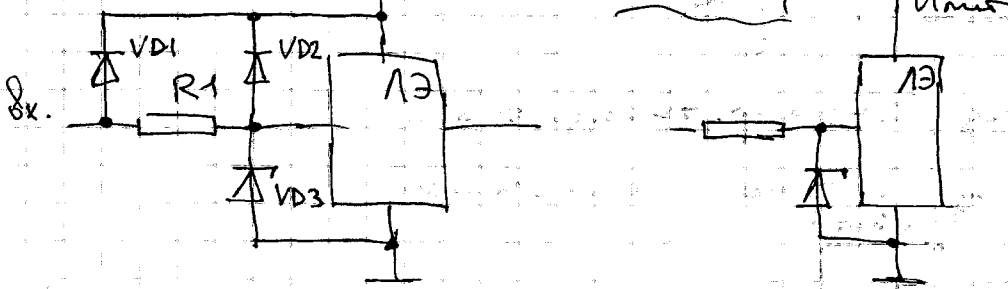


# Преобразователи уровней:

Создание уровней для и для. сигналов разных типов микросхем.

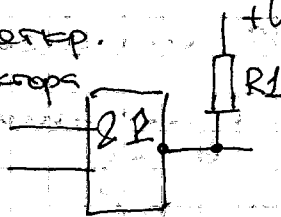
## ① Понижение уровня

а) работает с подв. напряж. } 1-й дифференциальный микросхем.



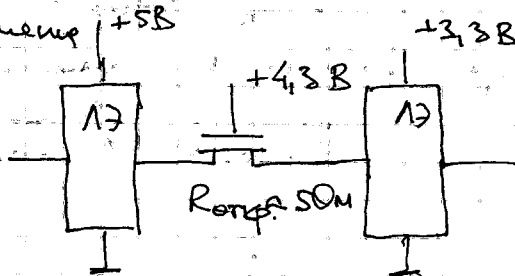
561PH2 (инд-р)  
564PH4 (пр-16  
уровня).

б) откр. эстр. коллектора



Малое сопротивление

в) ограничение

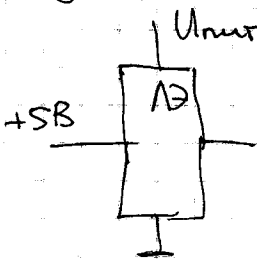


Высокое сопротивление (~ кОм).

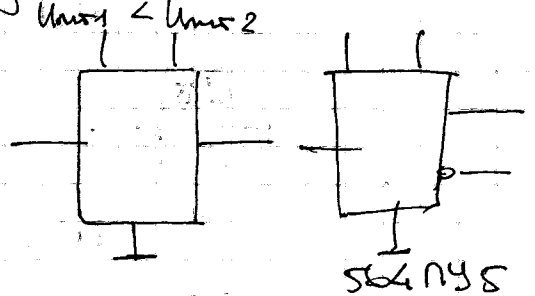
## ② Повышение уровня

а) откр. коллектор (сток) (малое сопротивление)

б) дифференциальные микросхемы (усилители)



564PH6  
564PH7



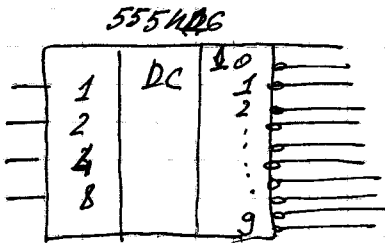
564PH8

## Приемо-передатчики

(принципы).

# Дешифраторы, демультиплексоры, мультиплексоры

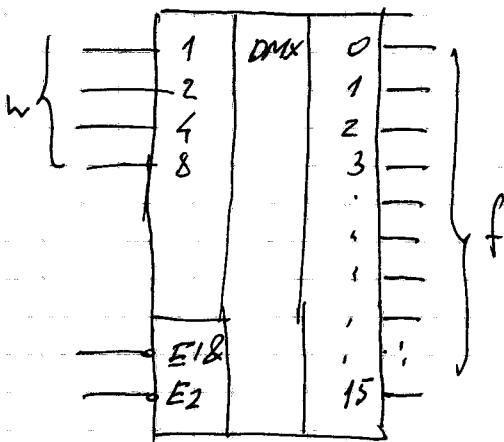
Дешифратор - комбинационная схема с  $n$  входами и  $f$  выходами (дешифратор  $n \times f$ ).  
 При каждой комбинации на выходе активируется только один сигнал.



Число комбинаций  $2^n = 16$ .

Когда  $f = 2^n$  - полный дешифратор  
 $f < 2^n$  - неполный дешифратор.

Демультиплексор DMX имеет сигналы входа, код-коммут. на один из выходов в зав-ти от адресного сигнала.



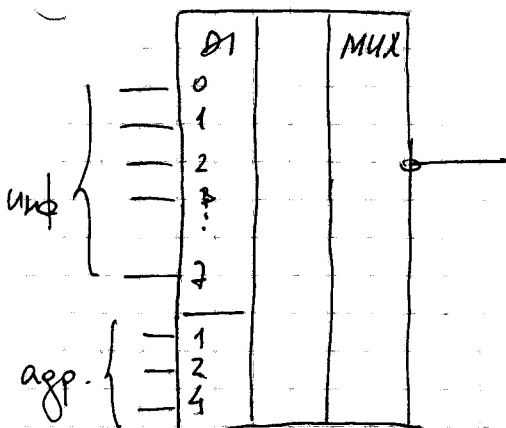
Дешифраторы являются только полными  $f = 2^n$ .

$n$  - адресн. сигнал

$E1 \& E2$  - входной сигнал.

(Дешифратор со скремблированием).

Мультиплексор коммутрует  $2^n$  сигналов в 1 выход.



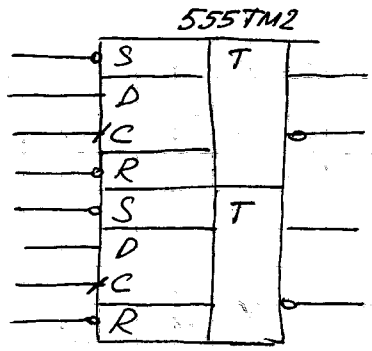
ПЗЧ

Прог. лог. матрицы, как частн. случай.

Исг. पहले - масочного типа.

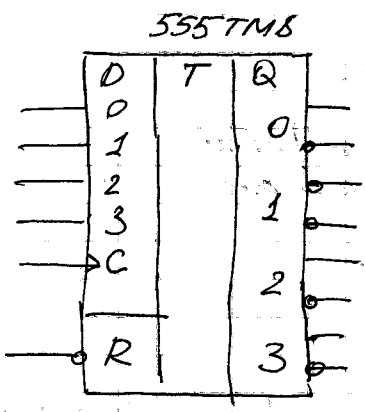
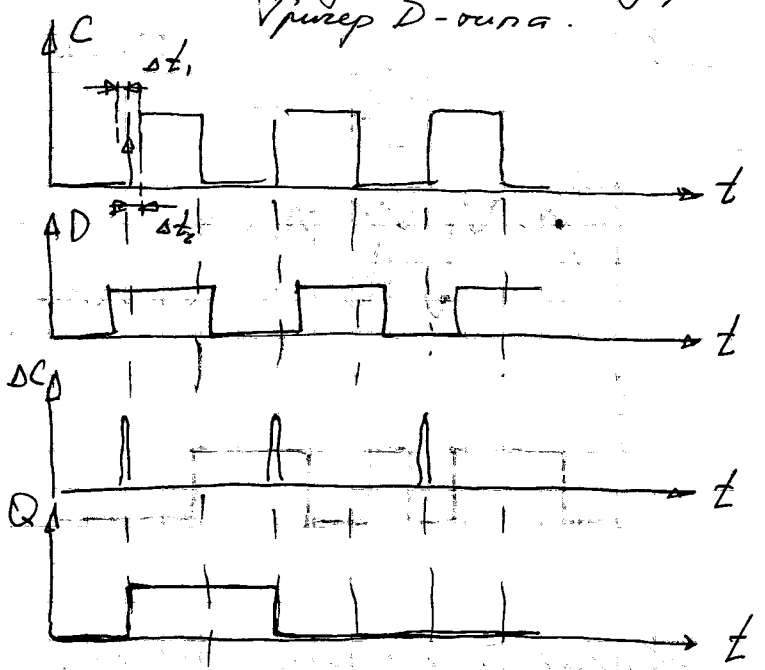


# Синхронные триггеры.



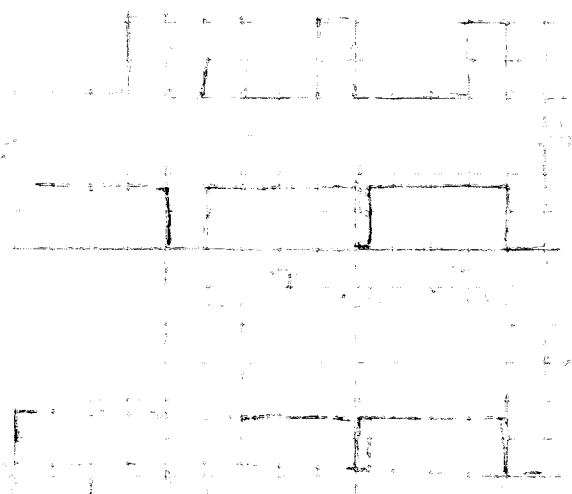
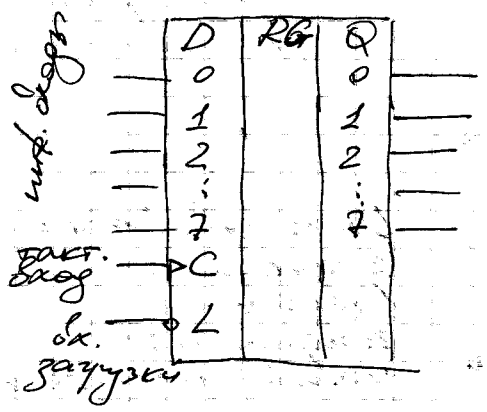
Во время об. и стз сигнал не меняется

Реагирует на циф-е сигнала упр-я.  
Триггер D-типа.



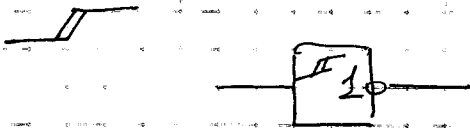
Объединение в группу из 4-х элементов с общим входом.

Триггер D-L типа!

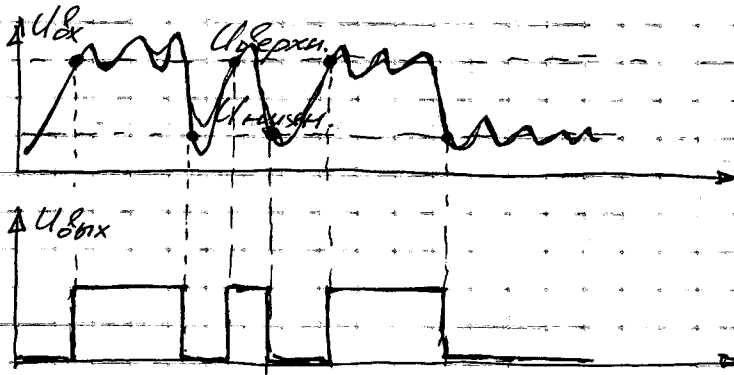


# Триггер Шмидта.

Имеет фиксированные пороги включения и выключения.

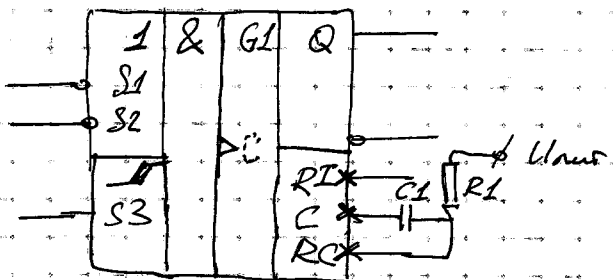


Использ. для минимизации помех в работе.



Уровни отличны от типовых.

# Мультивибратор.

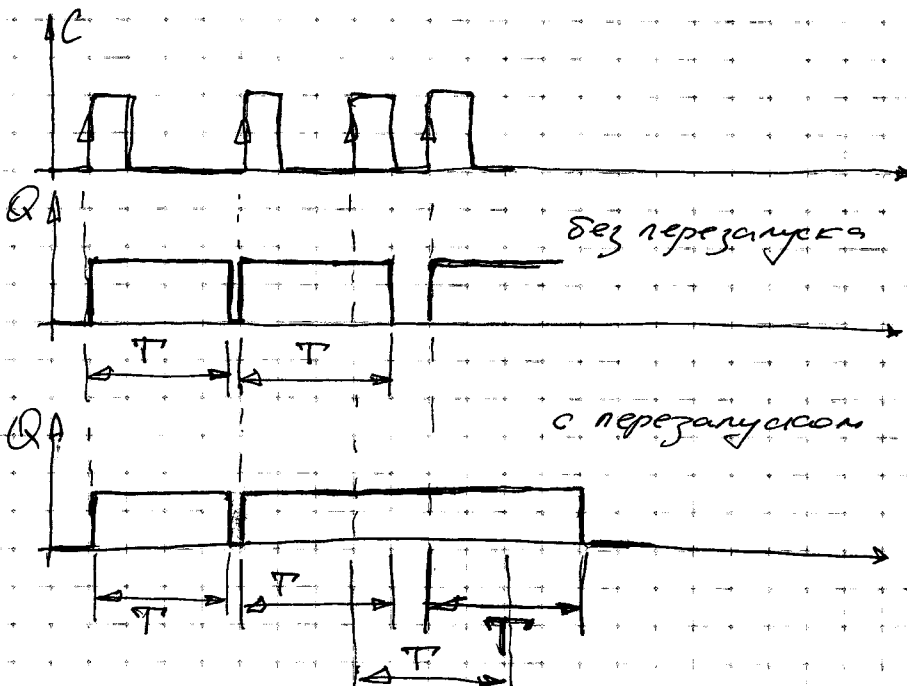


$$T = 0.7RC$$

$$R = (1 \dots 10) \text{ кОм}$$

$$C = 0.1 \dots 1000 \text{ нФ}$$

$$T_{\text{min}} = 30 \text{ нс}$$



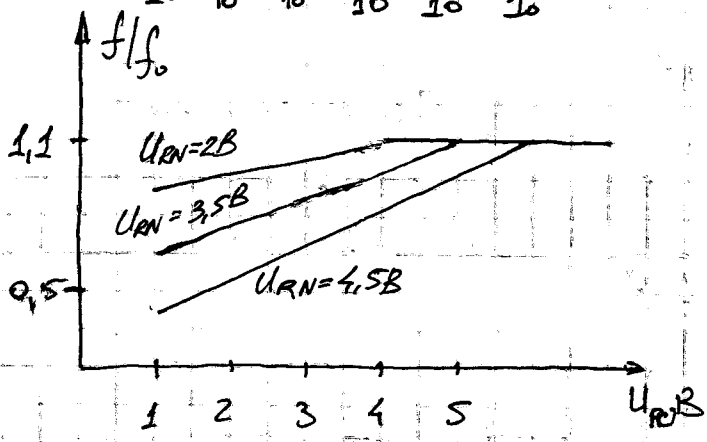
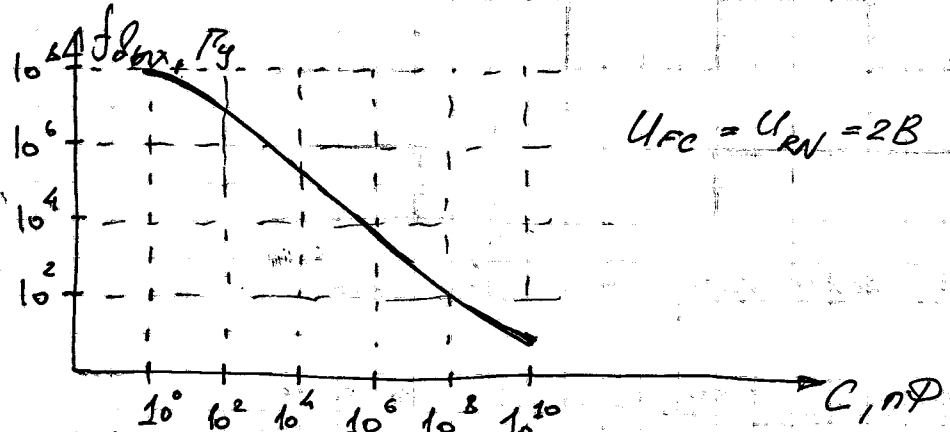
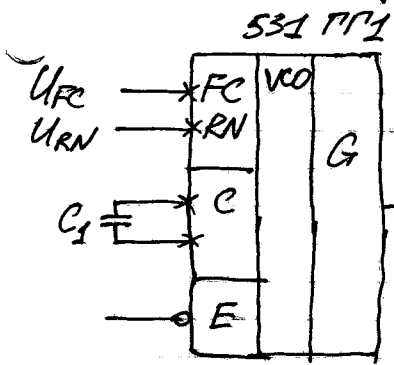
Есть 2 варианта мультивибраторов!  
- с гистерезисом  
- без гистерезиса

без гистерезиса

с гистерезисом

Очень чувствительны к помехам. Очень часто генерируют ложные импульсы из-за помех на входе

Генератор, управляемый напряжением.

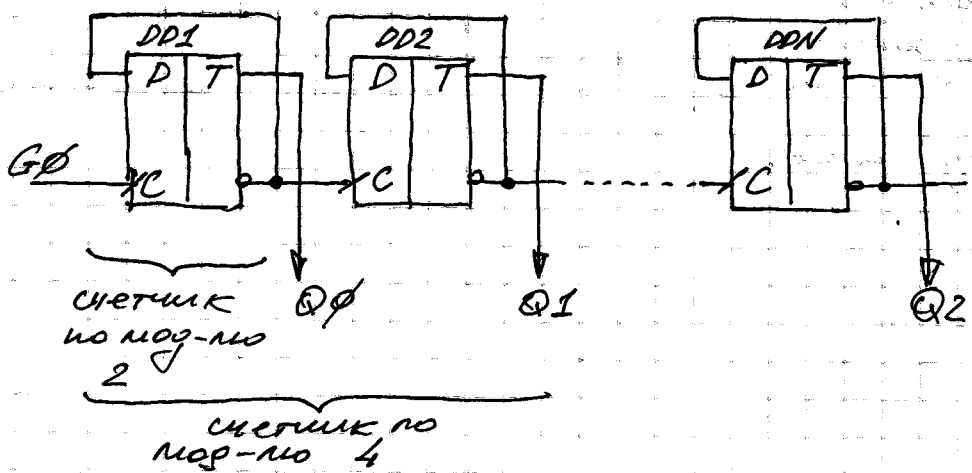


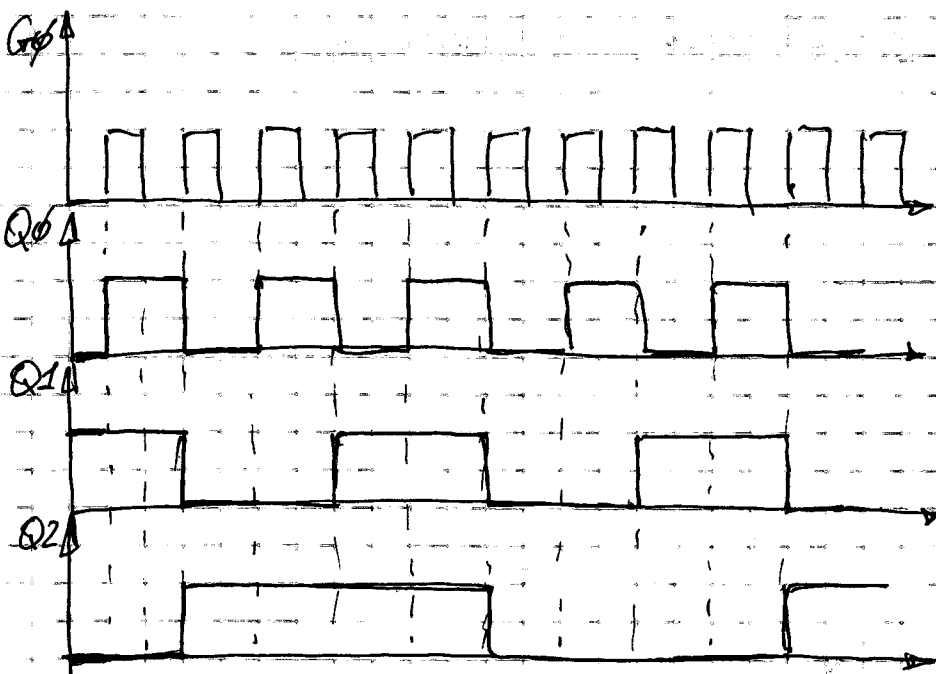
$U_{FC}$  управ-ет частотой  
 $U_{RN}$  задает гранич. умн. частоты.

Асинхронный импульсный счетчик.

(счетчик импульсов).

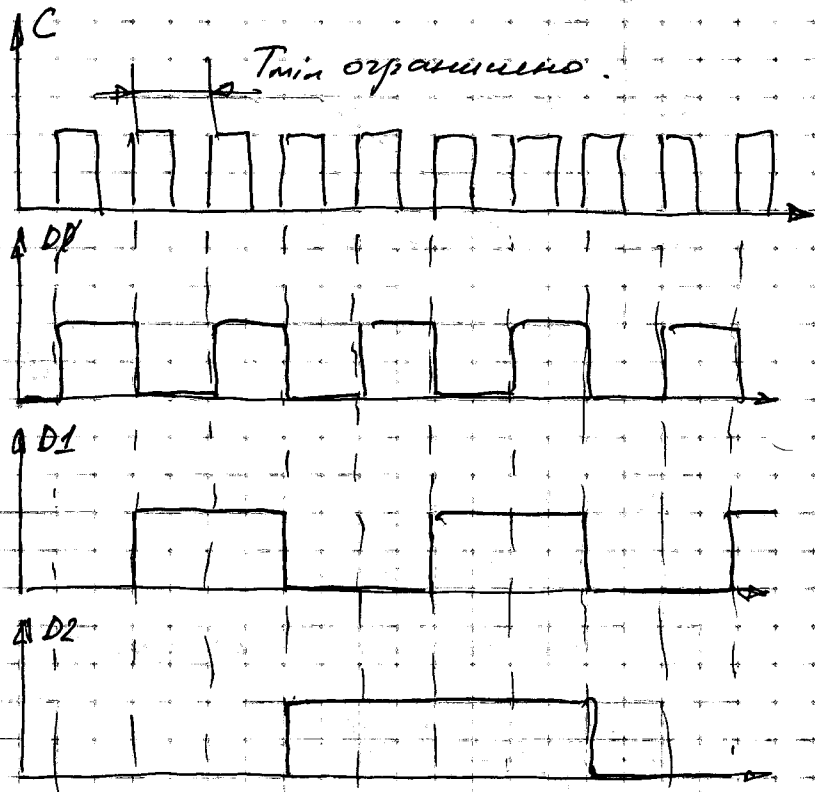
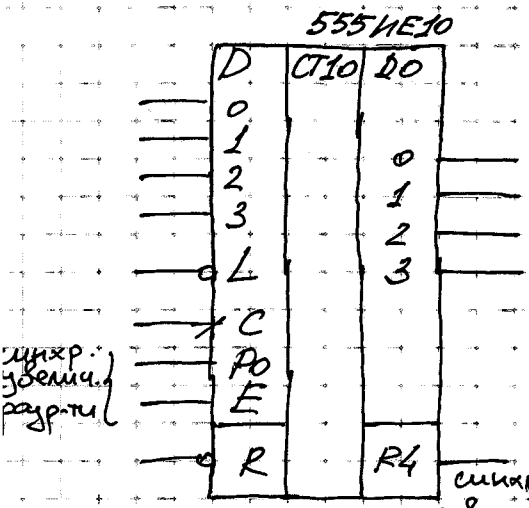
Строится на основе синхр. триггеров.





Дает задержку при уб-ии разрядов

Синхронный импульсный счетчик.



Задержка не  
касается к старшим  
разрядам.  
Прим. схема ускор.  
переноса комбинац.  
схема, подгот. данные  
для записи в триггер.  
Работает медленнее.

# Модуляторы.

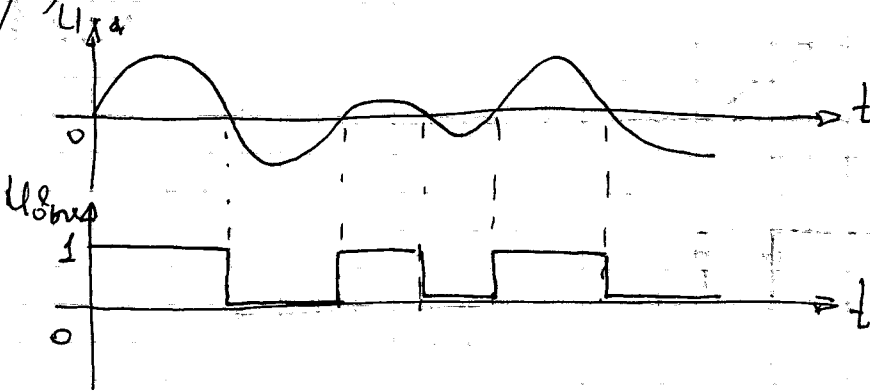
①

1. Релейный модулятор
2. Релейный импульсный
3. Релейный импульсный с зоной нечувствительности.

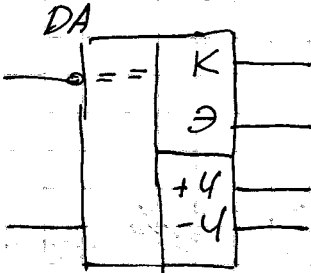
②

1. Частотная
2. Частотно-импульсная
3. Шир-но-импульсная

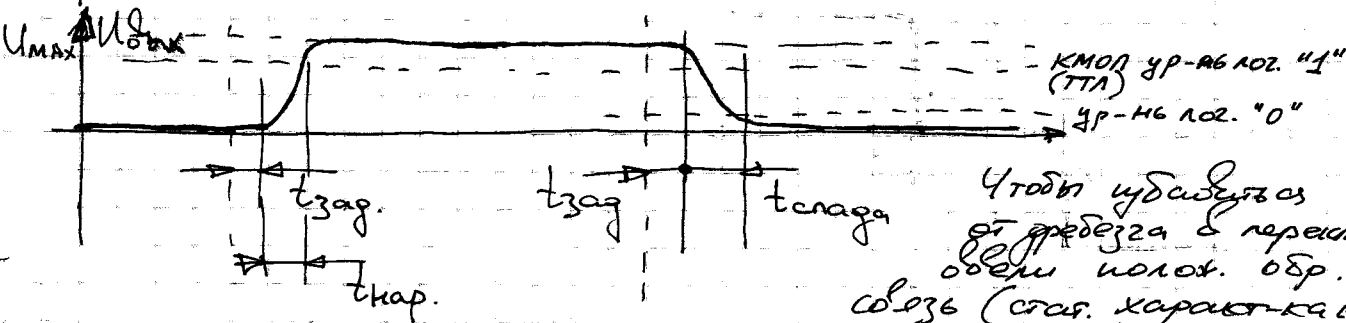
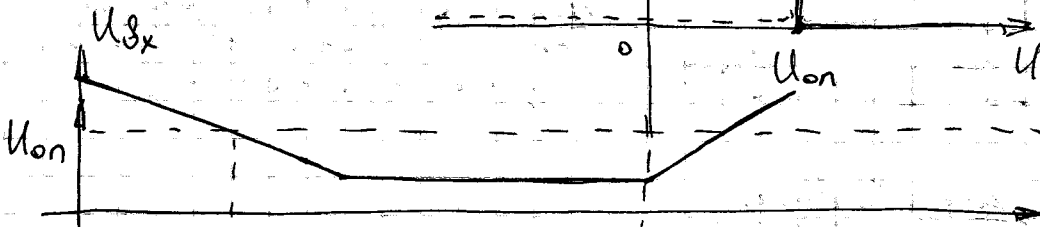
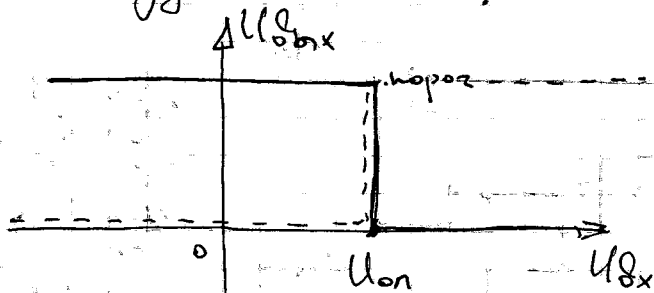
Релейный модулятор реализуется с помощью порогового устройства.

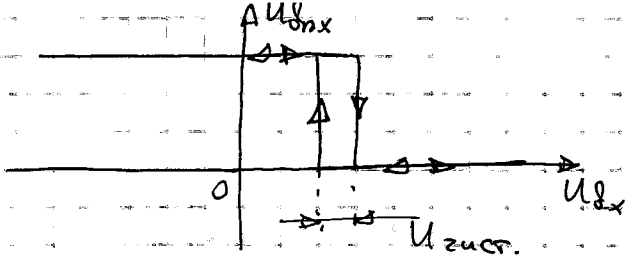


В качестве порогов устр-ва чаще всего используются аналоговые компараторы:

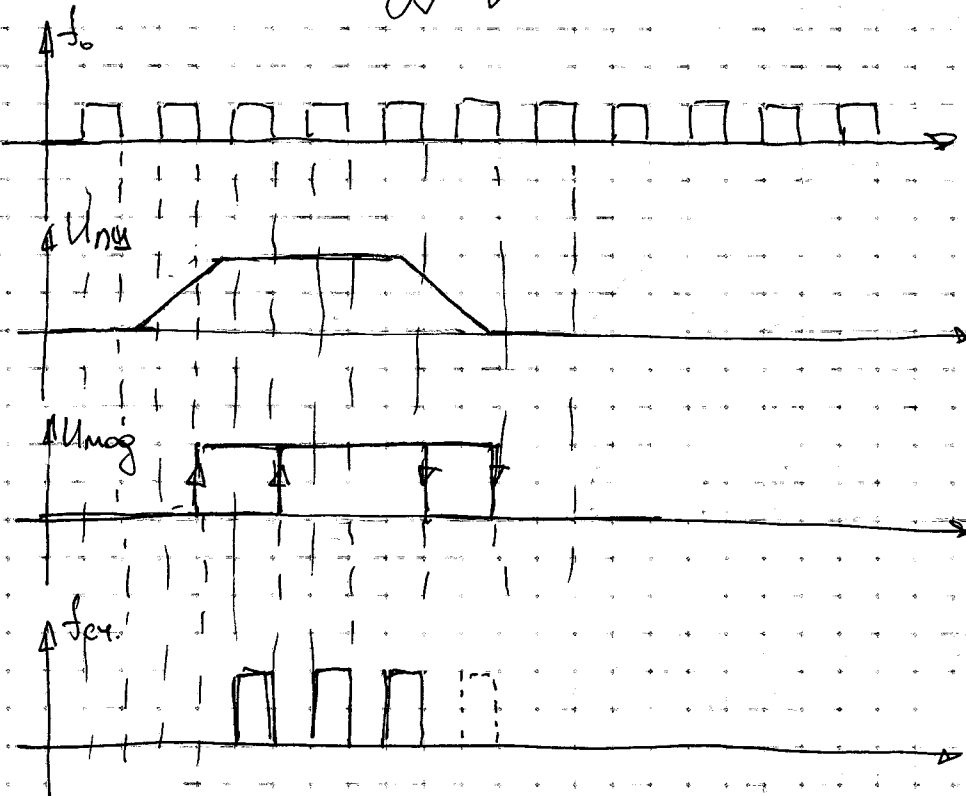


По входу аналоговый, по выходу цифровой

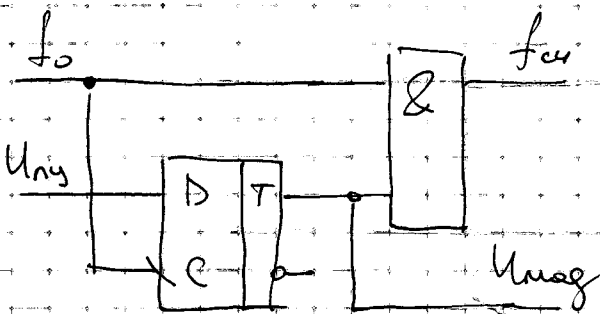




Решение или подмножество

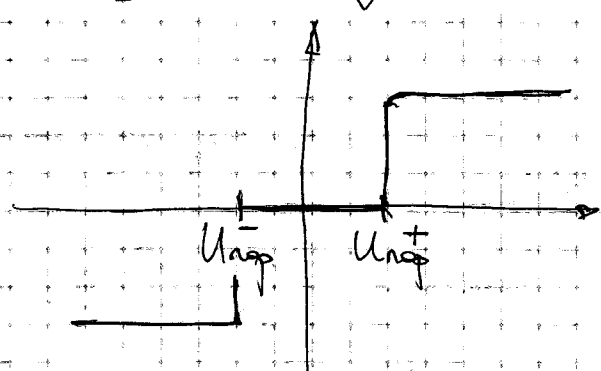


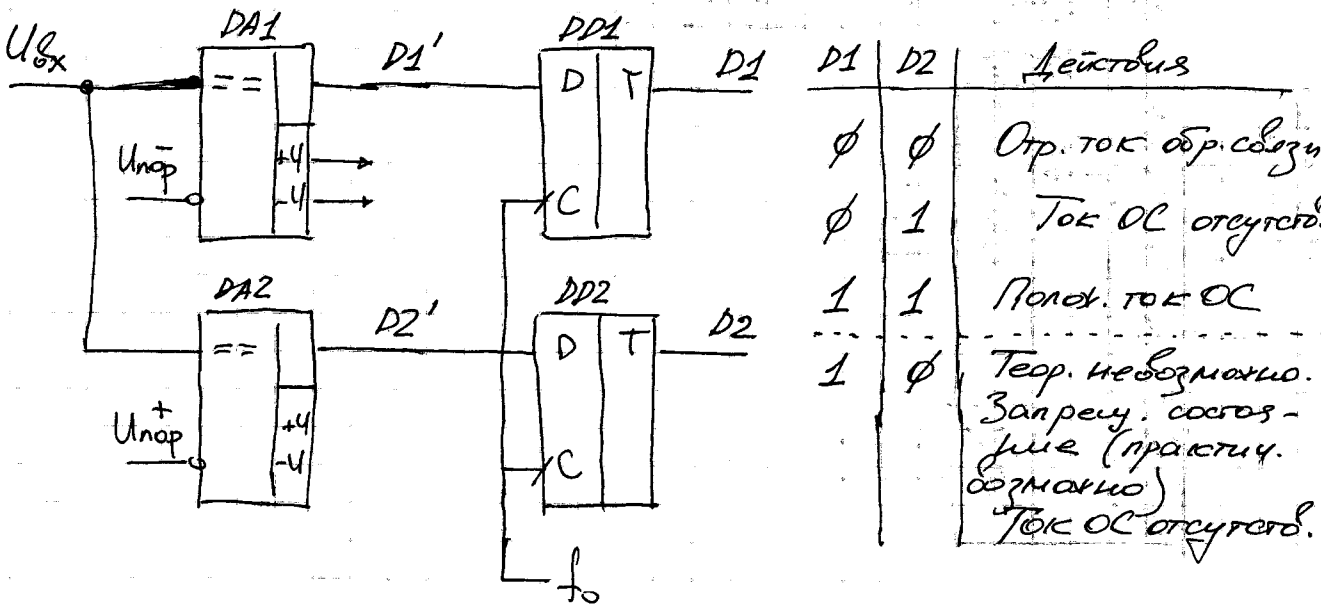
Решается по спаду импульса



Если рез. по фронту то  
вместо схемы "И" нужна  
"ИЛИ"  
Необх. запретить фазы  
вх. сигнала во время  
перех. процесса

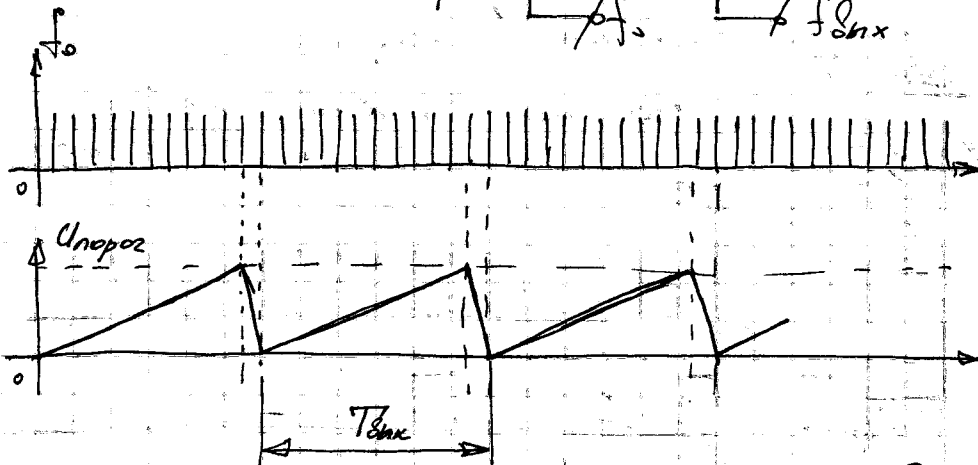
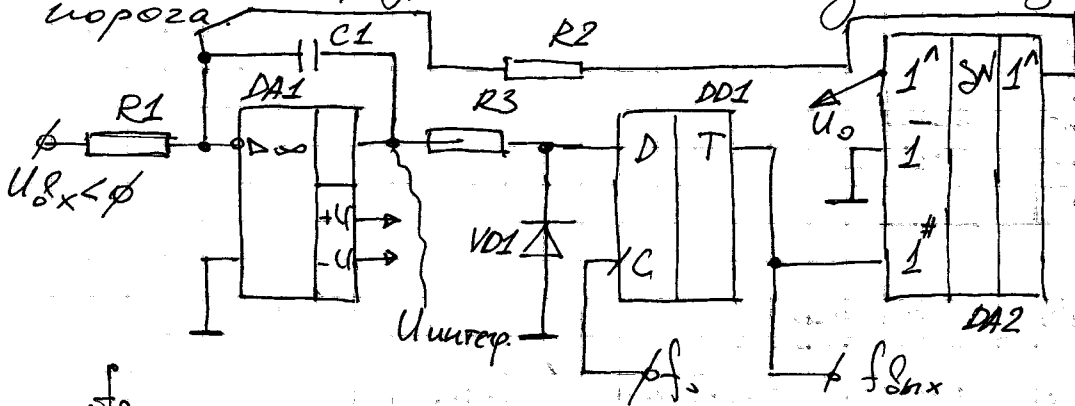
С занои нецелостности





### Частотно-импульсный модулятор

Осущ. преобр. вх. аналог. сигнала в частоту можно, если задавать конд-р тока, пропорц. вх. сигналу и разряжать его по достиж. заданного порога.



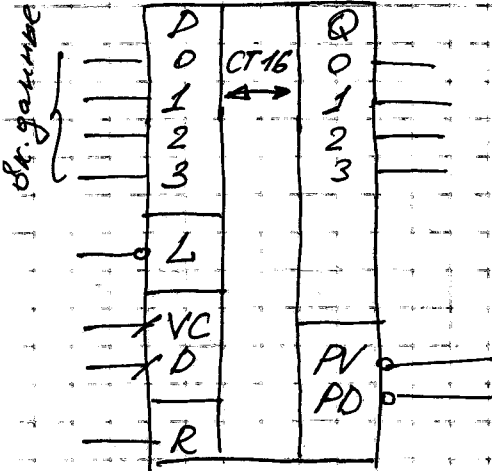
$$\frac{U_{BX}}{R_1 C_1} T_{BX} - \frac{U_0}{R_2 C_1} T_0 = 0$$

$$f_{0BX} = \frac{1}{T_{BX}} = \frac{R_2}{R_1 U_0 T_0} U_{BX} \text{ масш. коэф.}$$

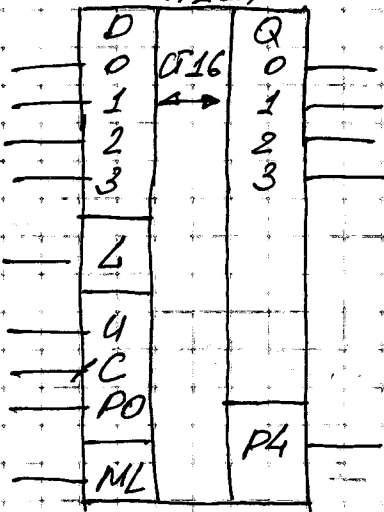
Если вместо триггера поставить ПЧ и катушку индуктивности, то получится частотн. модулятор без внеш. синхронизации.

# Реверсивные счетчики.

555HE7



561HE14

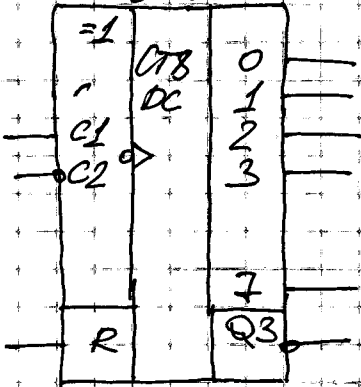


CT16 - двоичн. счет  
CT10 - двоичн.-десятичн. счет.

# Кольцевые счетчики.

Счетчики на сдвигающих регисторах.

561HE9



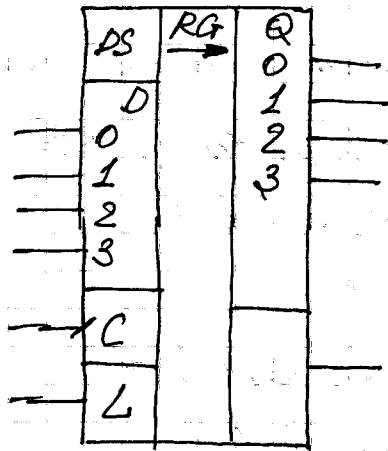
C1, C2 объединены по схеме "ИЛИ-ИЛИ".

Построен на 8-ми сдвигающих регисторах.



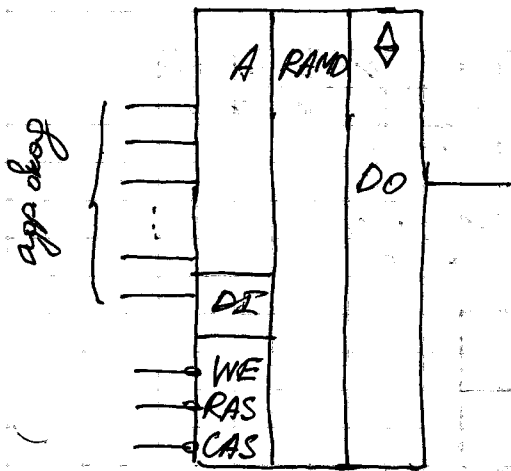


# Самостоятельные задания



## ОЗУ

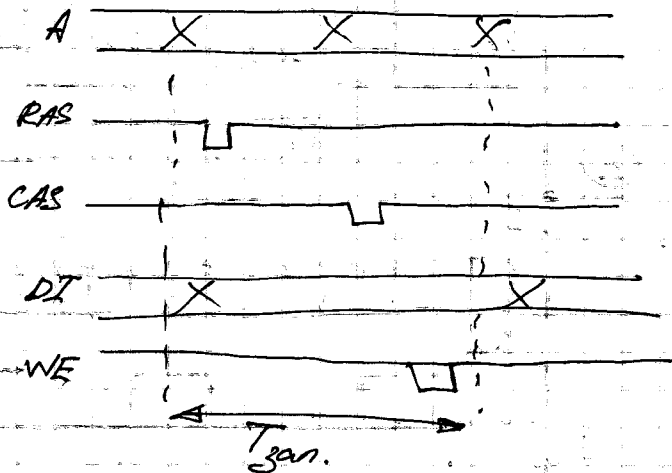
Чаще всего ~~чаще всего~~ строится на триггерах-защелках



Работает всегда динамич. RAM  
одноуровневая.

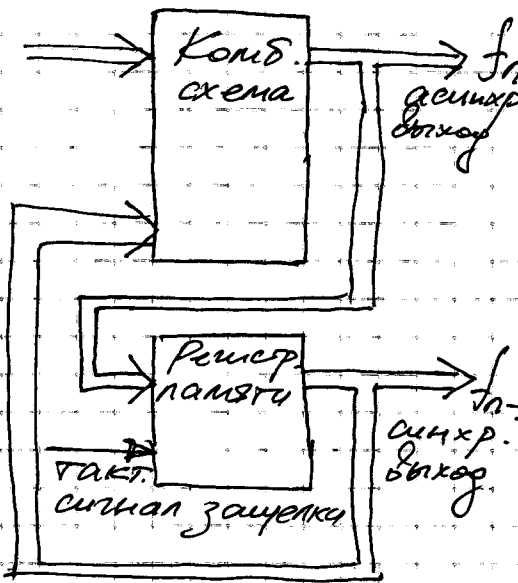
Агр. вход используется в режиме  
селективного сброса и сброса  
т.е. info о строках RAS  
и столбцах CAS.

WE - направление записи.



Схем. ОЗУ типа  
"одноуровневая матрица",  
в кот. возможна  
одновременная  
чтение и запись  
о разных ячейках.

Программируемые логические интегральные схемы.



Уре линейного автомата:

$$f(x_1, x_2, \dots, x_n, x_1, x_2) = \alpha_1 f(x_1, 0, 0, \dots) + \alpha_2 f(0, 0, \dots, x_2, 0) + \dots + \alpha_p f(0, 0, \dots, 0, x_p)$$

$\alpha_p$  - константа.

Комб. схема - ПЗУ.

Элементарная ячейка

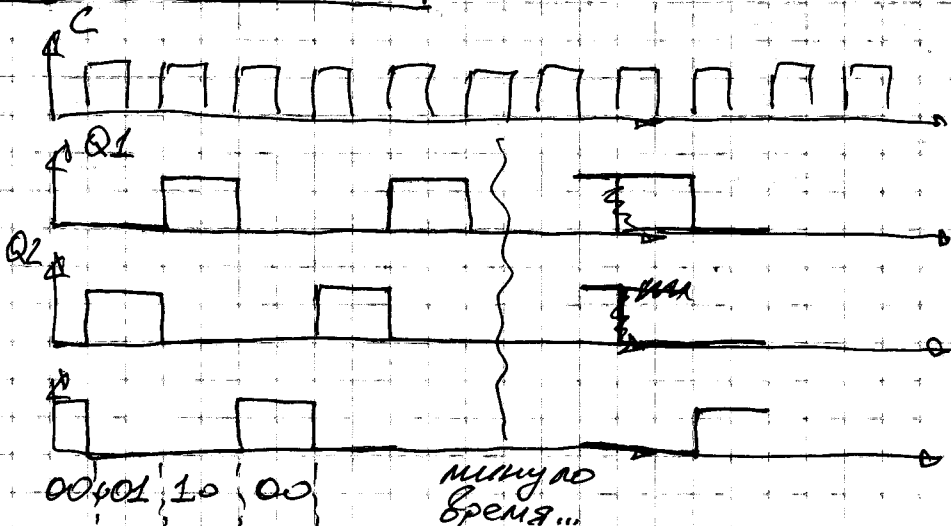
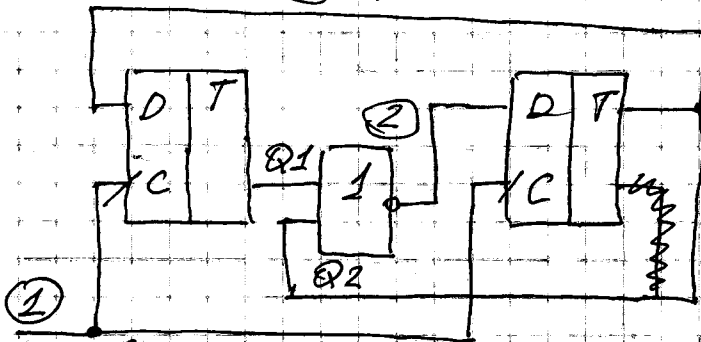
Все перех. процессы комб. схемы должны заверш. до прихода след. тактового импульса.

Достоинства:

- заменяют сложные аппаратные устройства
- достигается большая скорость разработки путем перепрограммирования.

Проблемы:

- система подвержена помехам.
- имеются запрещенные состояния.



- проблема установки в начальное состояние.
  - качество тактовых сигналов должно быть очень высоким (например, без полочных фронтов).
- Поэтому ставит на вход триггеры Шмидта.

Использование микропроцессорной техники в эл. устройствах.

### Принципы построения.

Микропроцессор - функция-но заверш. универс.  
 микро-но управл-е устройством  
 цифровой обр-ки данных.

Микропроц-ры:

1. 1971 год Intel 8080. С микропр. управ-ем.
2. 1974 год с микропр. управ-ем.
3. RISC с огранич. объемом команд.

Для построения системы кроме МП, необход. ОЗУ, ПЗУ, интерфейсы, схемы.

Микроконтроллер - без внеш. на одном кристалле.

DSP - проц-ры Микропр-р для цифр. обр. данных.  
 DSC - контро-ры

### Архитектура МП-систем

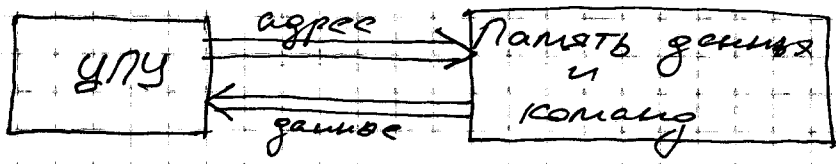
Организация МП-сист. - способ апп-прогр. средств, связь между ними и их характеристики.

Различ.:

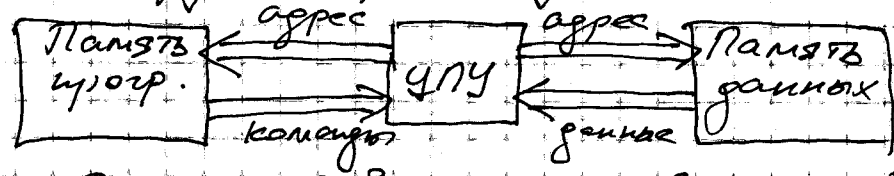
- физич. организ. - физич. эл. схема.
- логич. организ. - структурная схема.

Архитектура - физич. возможности апп. средств, которые исп. для предс. программ и данных и управл. процессом вычисл.

Самая <sup>известная</sup> архитектура - фон Неймана.  
 Обладает наиб. универсальностью.

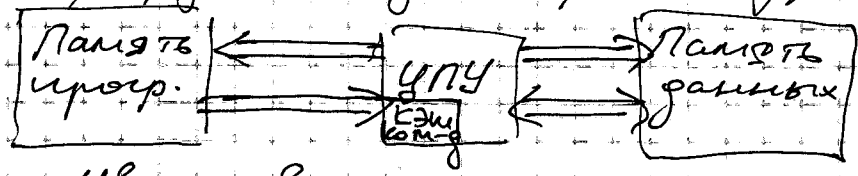


Гарвардская архитектура.



Обладает подвиж. маршрутир-ко. Характерна для спец. процессоров.

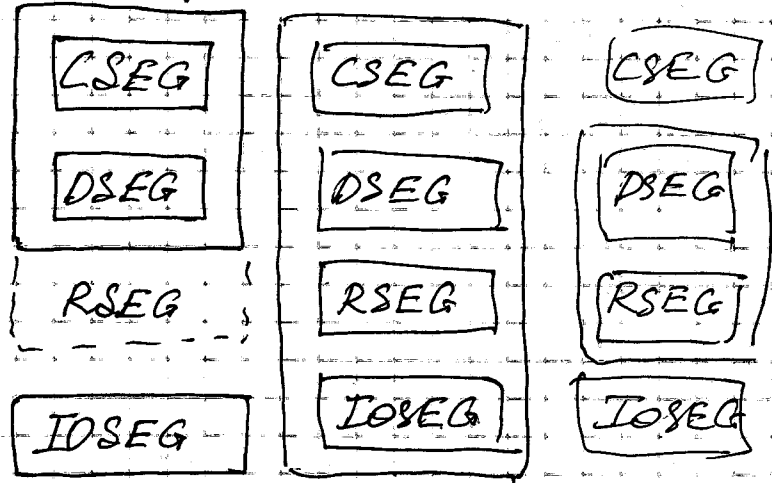
Гарвардская модиф. архитектура



Увеличивается скорость обмена.

Область регистров - небольшое число ячеек, обеспеч. быстрый доступ к ЦП.

Архитектура Неймана:



CSEG - Code Segment  
 DSEG - Data  
 RSEG - Register  
 IOSEG - Input-Output

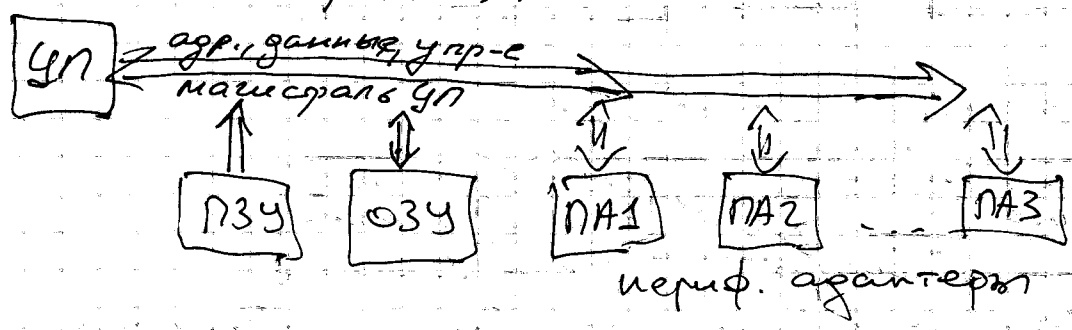
Если IOSEG не включен в общую память, то В-В коммутируемый. Может быть и включен, то система В-В отобр. на память.

Проц. ассимпл-го типа. Имеется спец. регистр-ассимплатор. И все операции с данными идут через ассимплатор.

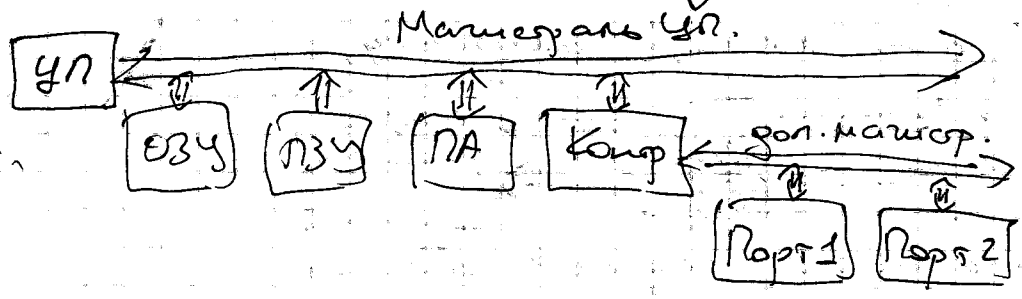
Проц. регистр-регистрового типа. То же самое, но ассимпл. отсутствует вообще. Все действия можно осущ. только над регистровой обл. памяти.

# Типовые структуры систем МП.

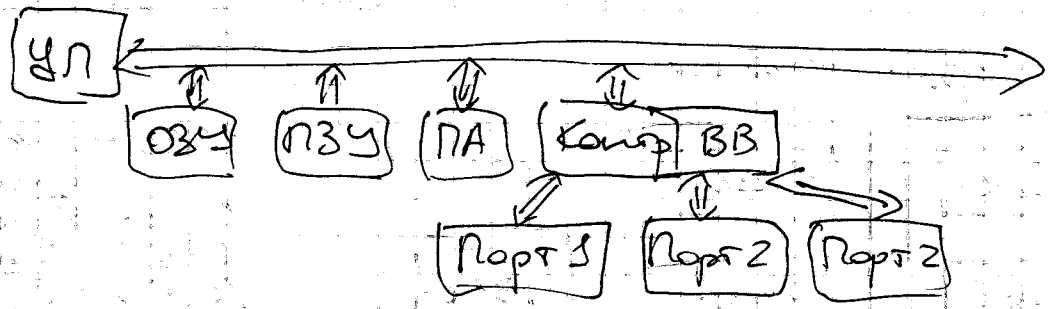
## Матричная.



## Матрично-каскадная



## Матрично-радиальная

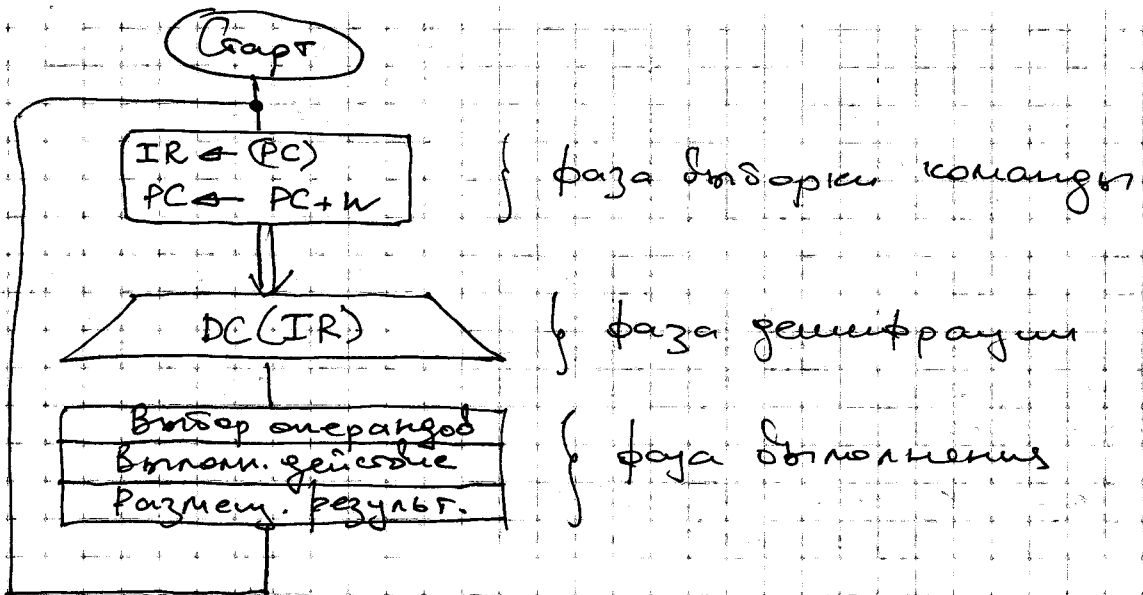


## Командный цикл.

Команда - функ. заданн. элементарн. действие, соотв. определено типом действия, способом получения операций, индексом, след-ей команды.

PC (Program counter). Указывает на номер команды программы.

- IR - instruction register и запись от данных команды.
- DC - дешифратор



} фаза выбора команды

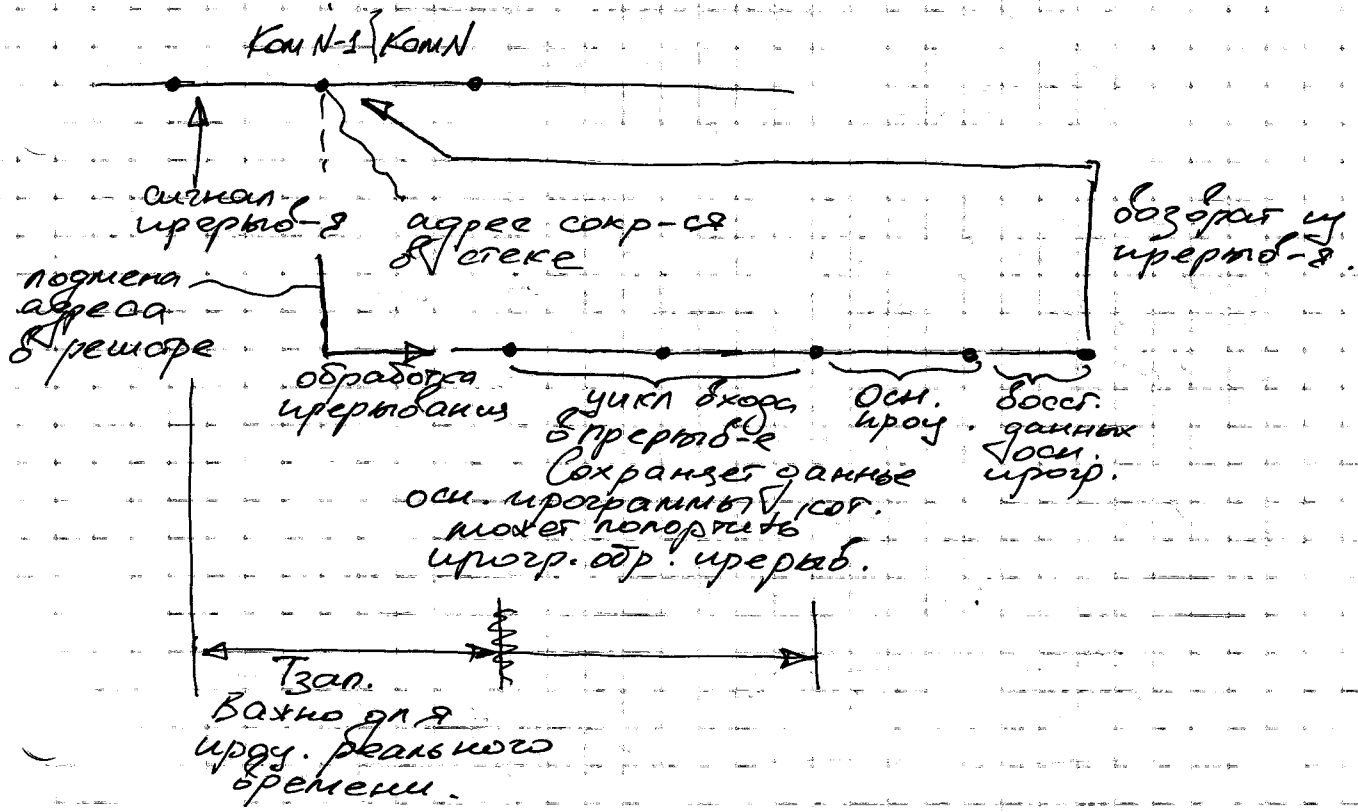
} фаза дешифрации

} фаза выполнения

**Исключения**

- 1) Команда останова  
Процессор в ожидании до  
ходами след. сигнала  
Всегда датчик аппаратный.
- 2) Прерывание  
Процессор переходит к  
обработке прерывания. После  
него обзор. к выполн. ушла.
- 3) Прямой доступ в память  
Прерывает ушла.

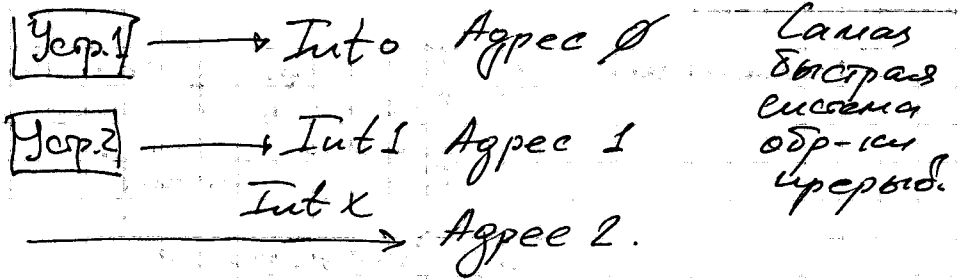
**② Прерывание.**



Сущ. несколько уровней прерываний. Прерывание может быть в свою очередь прервано прерыв-ем более старшего уровня.  
 В тех. моменты времени может работать только одно прерыв. одного уровня.

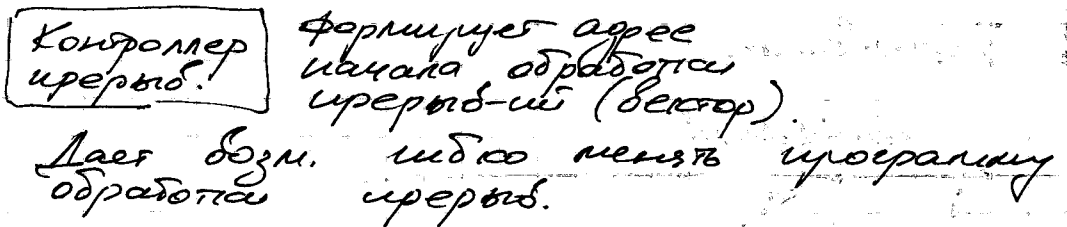
Не могут быть прерваны команды входа и выхода из прерывания. Т.е. более старшее прерывание будет выполнено только после выполнения первой команды текущего прерывания.

Сущ. 2 типа обработки прерываний:  
 1. Радиальная система.



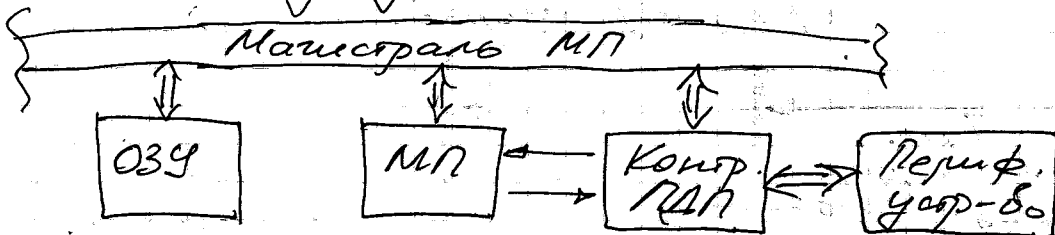
Сущ. порядок адресов начала обр-ки прерываний.

2. Векторная система.



Каждому устройству устанавливается приоритет прерывания. Способ для решения конфликта между прерыв. одного уровня или их поодоб. возникновением.  
 В радиальной системе приоритет жесткий.  
 В векторной системе приоритет можно менять алгоритмически.

③ Прямой доступ к памяти.



Служит для прямой записи информации с периф. устройства в ОЗУ.

Микроконтрол. имеет информацию с периф. устр-ва и посыл. в память. Процессор управляет магистралью, поэтому без прерыв. командного цикла осущ. управление и обмен.

Контр-р ЦАП осуществляет обмен данными автономно без участия микропроцессора. ~~Уч-ва~~ Он на время заменяет микропроцессор в части управления магистралью.

Контр. ЦАП. получает от МП инф. об адресах пересылаемой инф-ии и объеме этой инф-ии (программ-е контролера). МП посылает команду начать обмен. В ответ Контр. ЦАП подает аппаратный сигнал, МП отвечает и отключается от шины и Контр. ЦАП берет управ-е магистралью на себя. Другие устройства в это время получить доступ к магистрали не могут, поскольку МП ей не управляет. После передачи инф-ии МП подает сигнал, Контр-р отвечает и отключается от управ-я магистралью.

Таких контр-ов ЦАП может быть много.

Эффективно только при передаче больших объемов данных. Поэтому небольшие объемы инф. могут ~~не~~ передаваться без участия контролера.

### Цикл обращения к магистрали.

Командный цикл: 1) Чтение памяти прог.  
Варианты работы с магистралью: 2) Чтение ОЗУ  
3) Запись ОЗУ

4) Чтение бббда - ббббда.  
5) Запись бббда - ббббда. } Изолпр  
ббббда - ббббда. } ббббда - ббббда.

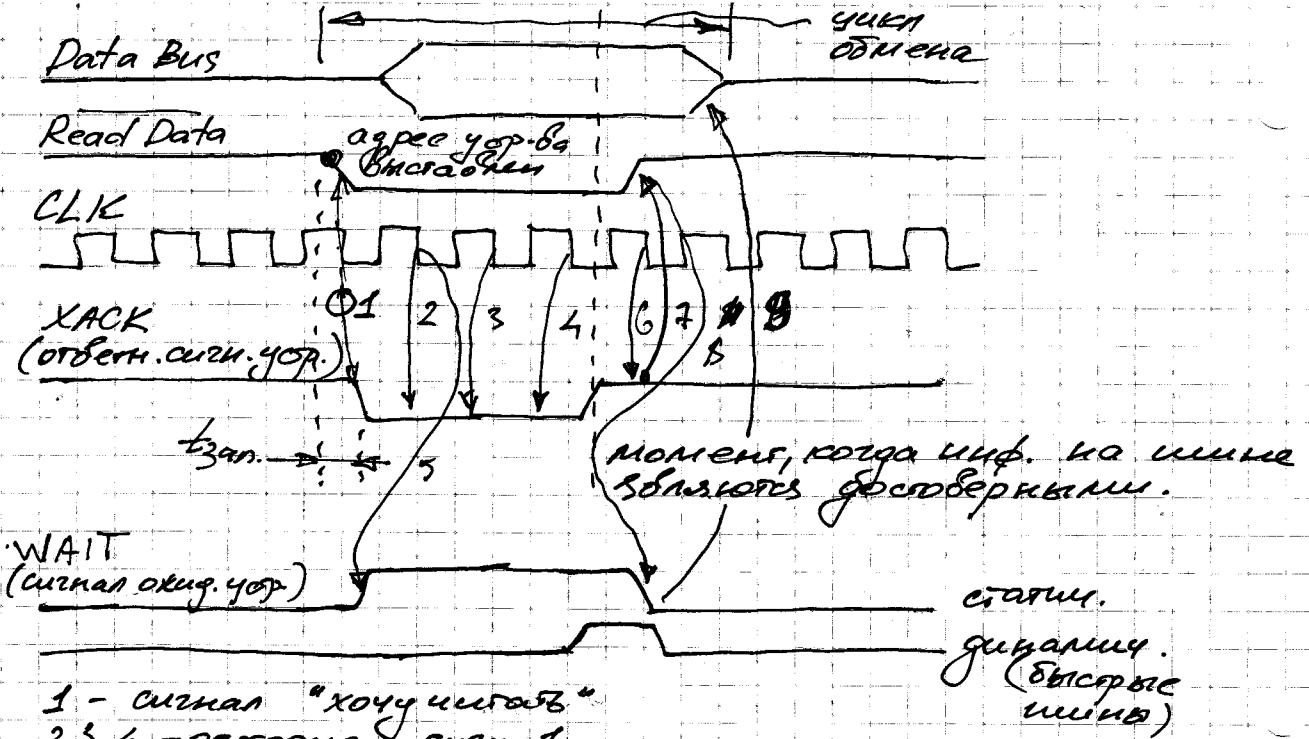
Режимы работы магистрали:

1. Синхронный. Осущ-ся под управлением главного устр-ва (МП), достоверность информ-ии не подтверждается.

МП обеспечивает адрес, данные и сигнал, что инф-я принята. Уверенность чтения другим устройствам не проверяется.

2. Асинхронный. Требуется подтверждение успешности обмена. Используются, когда осущ. обмен с медленными устройствами, поскольку требует дол. линии обмена.





- 1 - сигнал "хочу читать"
- 2, 3, 4 - декодир. сигн. 1
- 5 - сигнал "готов читать инф."
- 6 - заверш. byte. сигнал
- 7 - достоверность

Процессор заранее не знает, сколько времени потр. устр-ву для выставления данных на шину. Только после сигнала 5 устр-во может выставлять данные на шину.

8 - сигнал освобождения шины.

Из-за времени тзап. и медленности устр-ва, работающих в системе, эта схема работает только на медленных шинах.

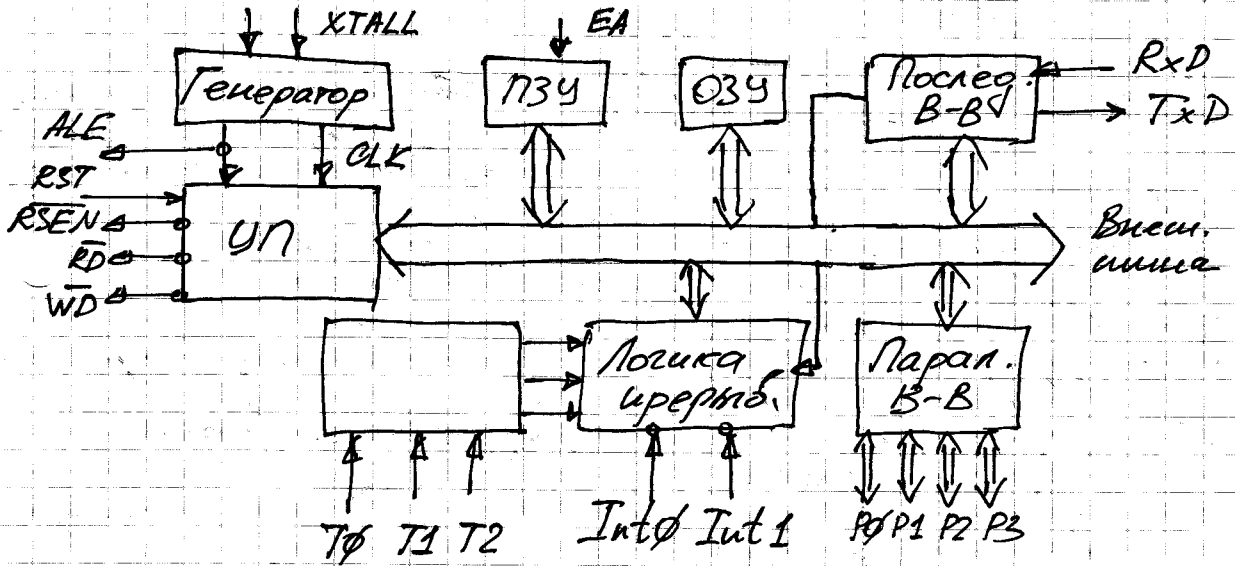
Для быстрых шин сигнал wait дает сигнал "всегда не готов". Сигнал выставляется только когда прошла проверка достоверности.

Если устр-во не работает, то возникает огранич. на количество тактов ожидания. Иначе модат ошибка работы устр-ва вызовет обой работы. Если ожидание прошло, то обмен прерывается, byte. системы ошибка.

# Устройство микроконтроллеров.

Микроконтрол-р - однокрист. устройство, в состав кот. входят ЦП, ПЗУ, ОЗУ, устр-ва прямого ввода-вывода (паралл. шифр.), тест. ручные входы, таймеры (счетчики), АЦП, ЦАП.

MSC-51  
1816BE51



AD0 ... AD7 } 16 бит.  
 AD8 ... AD15 }  
 P0 ... P3 } 32 бит.  
 INT0 ... INT1 } 2 бит.  
 T0 ... T2 } 3 бит.

60 бит. Всего м.б. только 40 выводов.

Большинство линий могут использ. по нек-н назначенным. Использ. принцип программ-мируемости линий. Исключения:

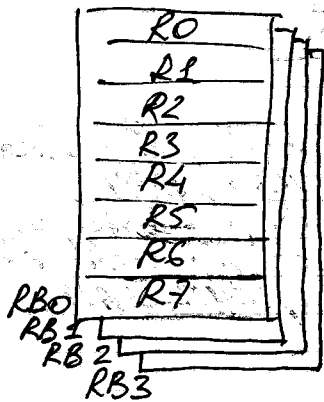
- 1) Питание
- 2) XTALL - подкл. внеш. осцилл.
- 3) ALE - внеш. тактирование
- 4) RST - сброс адреса

Т.е. при этом одновременное использ. некоторых выводов такого микроконтр. невозможно.

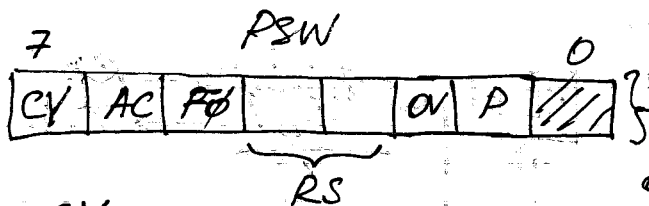
## Работа микроконтроллера.

		PC - прогн. счетчик
DPH	DPL	DPDR - указ. коэф. адреса
B	A	
		PSW - тек. сост. программы
		SP - указатель стека

= 07(Hex)



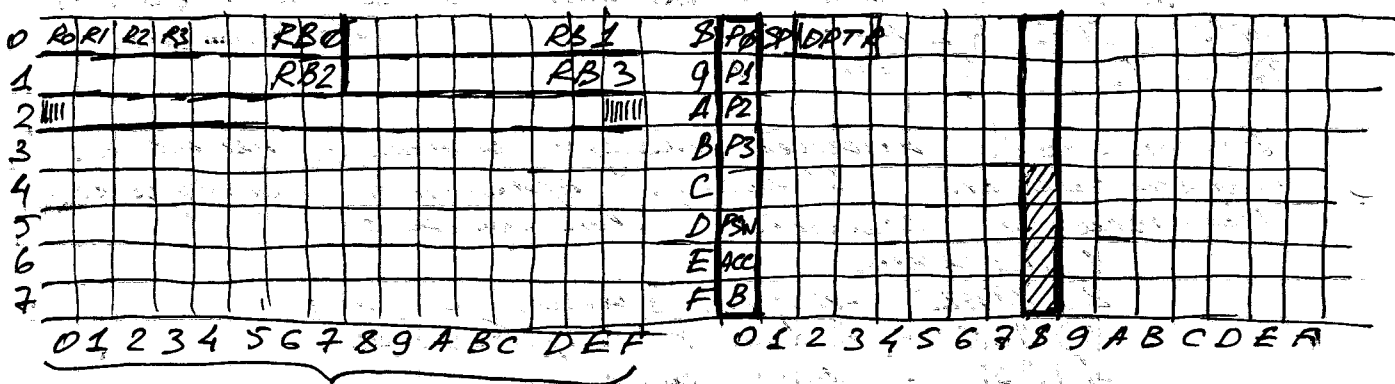
Регистры общего назначения  
 RB0..RB3 - банки регистров  
 R0..R1 - указатели адреса.



--- - признак переноса и АЛУ при арифм. операциях (предыд. рег. заем)

- CY - аккумулятор булевого процесса.
- AC - признак и младшей тетрады.
- FF - флажок пользователя.
- OV - признак арифм. переноса результата (деление на ноль).
- P - признак четности результата (колич. единиц четно).
- RS - поле выбора рабочего банка регистра (по умолчанию FF).

### Организация ОЗУ.



- 0F..7F - прямоадрес-я область ОЗУ
- 2F..2F - битовая область памяти.
- 3F..7F - используется пользователем.

При включ. итгания указ. стека имеет адрес 07. Поэтому надо его переключ.

BF..FF - область ОЗУ, доступная косвенно. Адресуется только через регистры R0..R7.

BF..FF - область след. регистров, прямоадресная память.

~~01-15-88~~

P0, P1, P2, P3 - порты ввода-вывода  
 PSW - слово сост. программы  
 ACC - аккумулятор  
 В - значение акк. до 16-ти разрядов.  
 Этот столбец битно-адресуемый.

Адрес P0 - 80, биты адреса от 80.. 87.  
 Столбец 88, 98.. F8 - тоже битно-адресуемый.

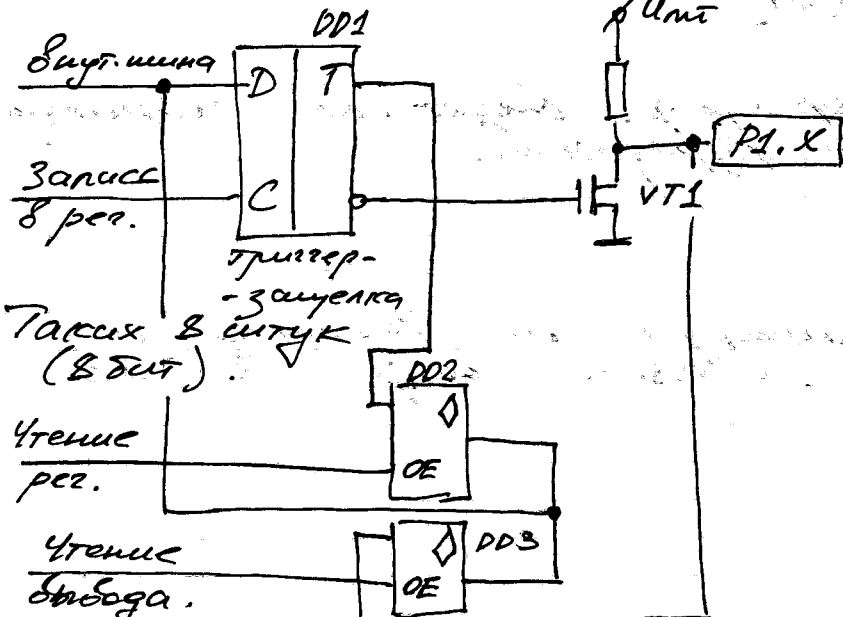
8B - TCON - регистр управл. таймером (состояние)  
 9B - SCON - регистр управл. порт.  
 AB - IE { регистр управл. системой прерыв.  
 BB - IP { IE - управл. максим. прерыв.  
 IP - управл. приоритемом прерыв.  
 CB, DB, EB, FB - зарезерв.-ны

SP - указ. стека  
 DPTR - указ. косв. адреса 82 - DPL, 83 - DPH.  
 87 - PCON - регистр управл. питанием.  
 89 - TMOD - регистр управл. таймером.  
 Задает режим работы.  
 8A.. 8D - регистры таймера  
 8A - TL0 { младш.  
 8B - TH0 { старш.  
 8C - TL1 { младш.  
 8D - TH1 { старш.  
 89 - SBUF - буфер команд порта.

Периферийные устройства

1) Порты ввода-вывода.  
 Все четыре порта имеют разную структуру.  
 Должно могут иметь упр. ф-ии.

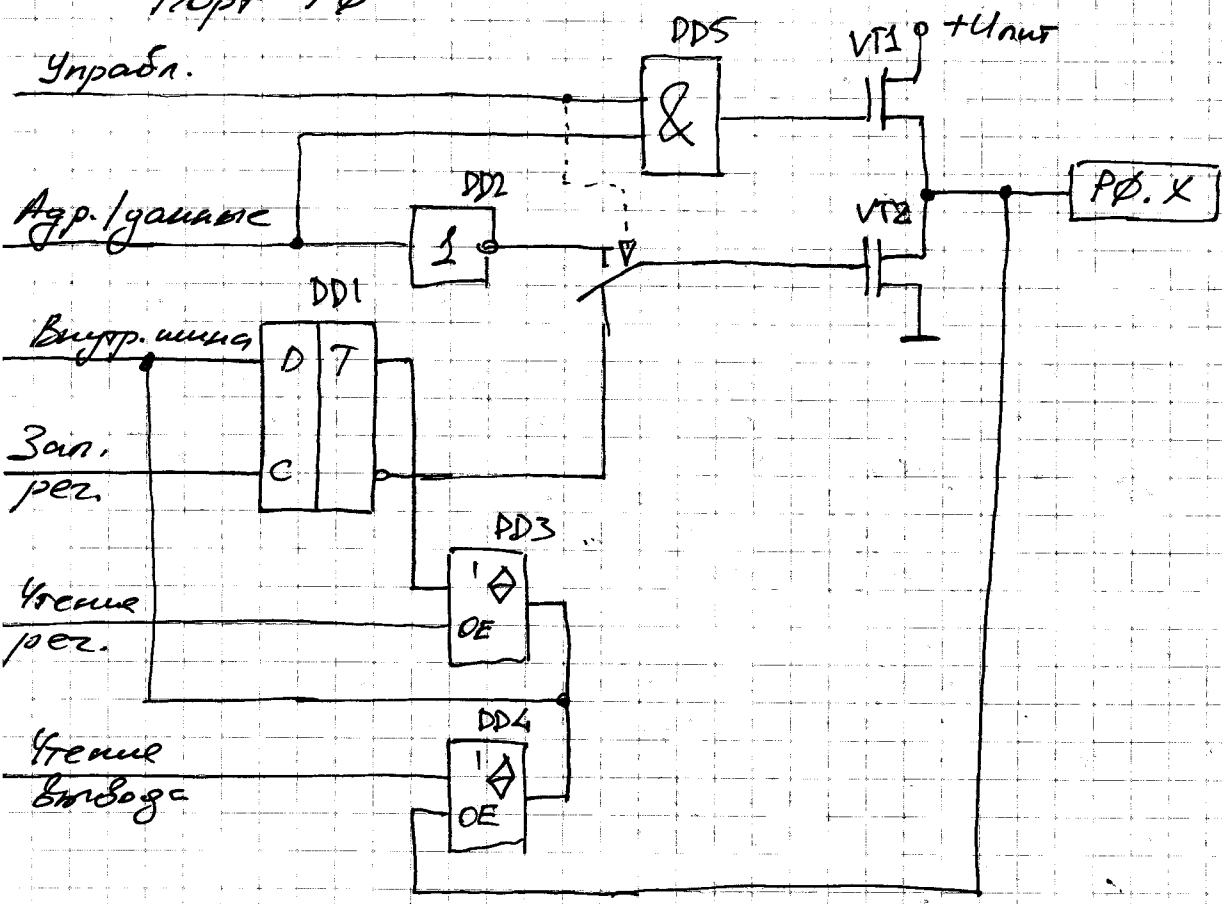
P1 выполняет только функцию порта ввода-вывода.



При включ. питания составных портов установка в единицу P0, P3 = FF.  
 "Чтение и модификация идут через триггер. Остальные команды ищут ввод."

# Порт P0

Управл.



Выполняет гол. функцию формирования адреса и данных для расширенной внут. магистрал контроллера (выбор данных с шине). Эта функция имеет приоритет (системная функция). В этом случае ф-я порта ввода-вывода отключается. сигналом управ-я VT1 отключает для осн. ф-ии порта ввода-вывода. P0 имеет тип выхода "откр. сток" или бип. ф-ии порта в-в.

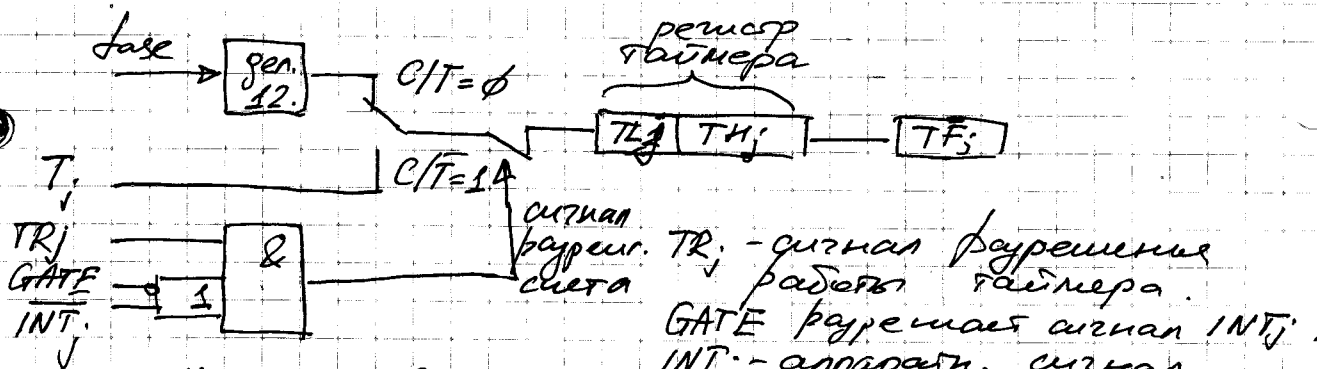
## Таймеры, счетчики

В составе микроконтр. берет как минимум 2. Явл-ся 16-ти разрядными.

- а) TL0, TH0
- б) TL1, TH1.

Явл-ся программируемыми. Режим задается в регистре TMOD. Состояние отобр-ся в TCON.

## Режимы 0, 1

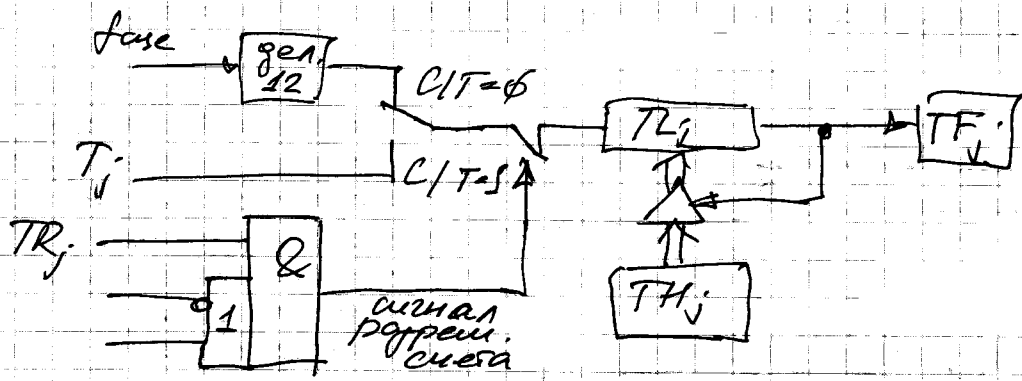


режим таймера  
 сигнал разрешения счета  
 TR<sub>j</sub> - сигнал разрешения работы таймера.  
 GATE разрешает сигнал INT<sub>j</sub>.  
 INT<sub>j</sub> - аппарат. сигнал

Частота внеш. сигнала всегда в 2 раза меньше частоты таймера.  
 Сигнал FFFF (65535) импульсов, у которого флаг TF<sub>j</sub> и сбрасывается. TF<sub>j</sub> - один битов в регистре ТСОН. Может быть упр-но обработан, может вызывать прерывание.

В режиме 0 младший регистр - пятиразрядный, 3 бита не используются. Т.е. образуется 12-ти разряд. сигнал. Сгенер. для совм-ти с предуз. верней контролера.

Режим 2.



Режим автозагрузки.  
 Старший и младший регистры соединены параллельно. Счетчик становится 8-ми разрядным: 0..255.

$$T = \frac{1}{f_{osc}} [N_{max} - N_{нач}]$$

$N_{нач}$  - начальное число в счетчике в начале интервала.  
 $N_{max} = 65535$

В регистр TH<sub>j</sub> записывается значение N<sub>нач</sub>. Поэтому на установку не требуется N<sub>нач</sub>. не требуется.  
 TH<sub>j</sub> при этом можно менять в любой момент.  
 В начале счета необходимо записать в TH<sub>j</sub> значение.

TMOD. 0	M0	} Биты задания режима	} CT0
1	M1		
2	C/T		
3	GATE		
-----			
TMOD. 4	M0	} Биты задания режима	} CT1
5	M1		
6	C/T		
7	GATE		

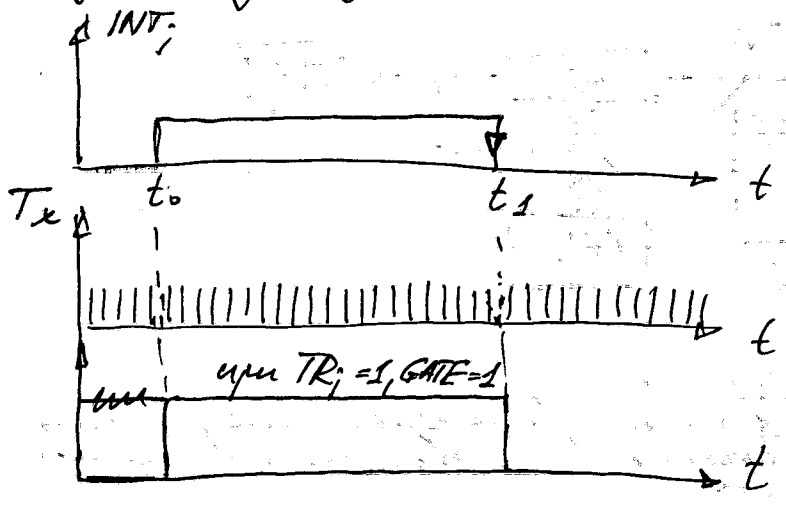
Режим 3. практически не используется. Позволяет сделать 2 счетчика.

TCON. 4	TR0	} CT0
5	TF0	
6	TR1	
7	TF1	

Как только выходит в режим прерывания по флагу TF<sub>i</sub>, то флаг автоматически сбрасывается, эквивалентно команде.

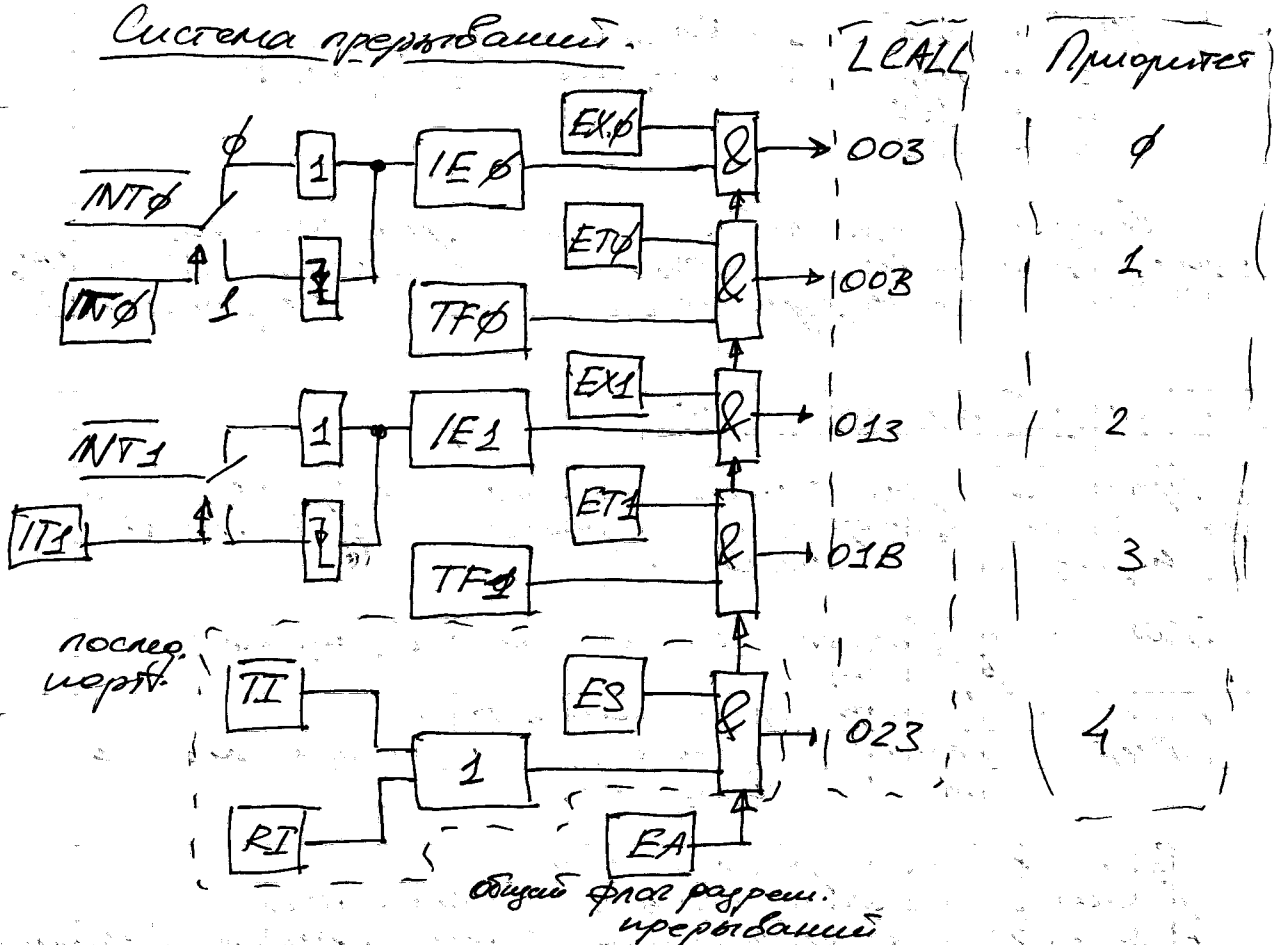
Сигнал INT<sub>i</sub>  
(interrupt).

Служит для измерения интервала времени.



В момент окончания можно организовать прерывание, чтобы узнать точный временной интервал.

# Система прерываний.



общий флаг разреш. прерываний

$INT_0, INT_1$  имеют активный нулевой уровень.

$IT_j = 0$  - статич. режим. Все время, пока  $INT_j = 0$ , установлен флаг  $IE_j$ . При системе  $INT_j$  флаг  $IE_j$  не сбрасывается. Сброс его можно программно. Он сбрасывается при блоке в прог-ру обработки прерыв.

$IT_j = 1$  - динамич. режим. Устанавливает флаги при переходе от 1 к 0. Интервал нуля при этом зад. как минимум 1 маш. цикл (12 тактов).

$EX_{0,1}$  - флаг разреш. прерывания,  $ES$ .

$TI$  - оконч. процесса передачи  
 $RI$  - оконч. процесса приема.

Команда  $RETI$  - возврат из прерывания.

$RET$  - возврат из подпрограммы.

$RETI$  восстанавливает работу прерыв. данного уровня.

$RET$  восстанавливает только адрес.

$IP$  - регистр приоритета прерывания.



ИР.0 - ИФ 1 - высокий приоритет  
 1 - ИФ 0 - низкий приоритет.  
 2 - И1  
 3 - И1

Ошибка прерывания не производится  
 при уменьшении состояния регистров IE и IP,  
 чтобы не нарушилась логика прерываний.

### Последовательный порт

Предназначен для обмена данными между комп. и  
 внеш. устройством в режиме полудуплексной  
 передачи инф-ии.

SCON - позволяет сконф. порт в режиме  
 работы

PCON - регистр управ. мощностью

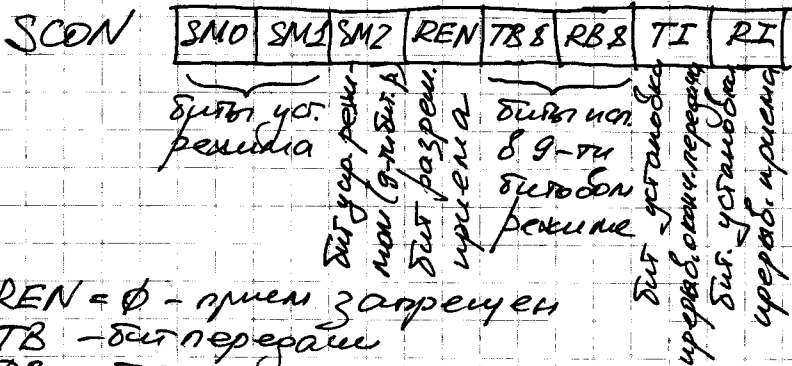
SBUF - регистр данных, и др. приема и  
 для передачи.

Режим "0" - синхронный обмен

Режим "1" - асинхронный 8-битный

Режим "2" - асинхронные 9-ти битные режимы

Режим "3"



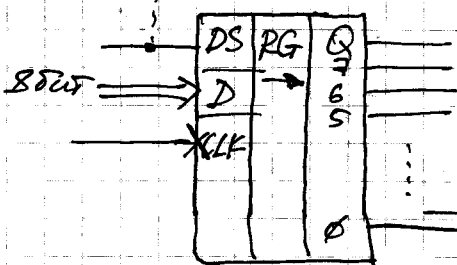
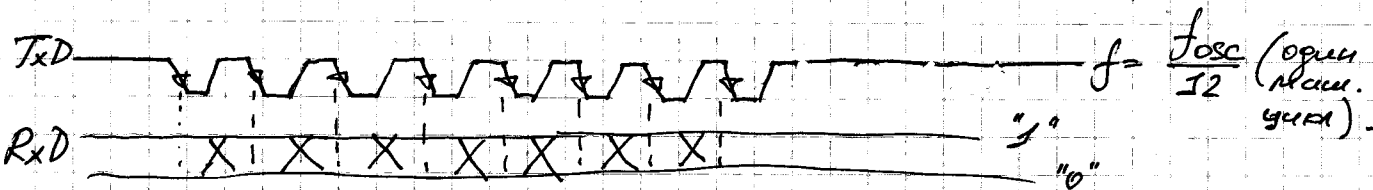
REN = 0 - прием запрещен

TB8 - бит передачи

RB8 - бит приема

SM2 - разб. запретить прием (для 9-ти бит. режима).

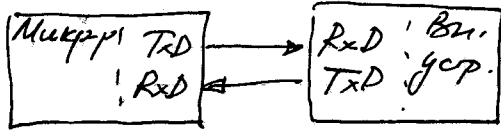
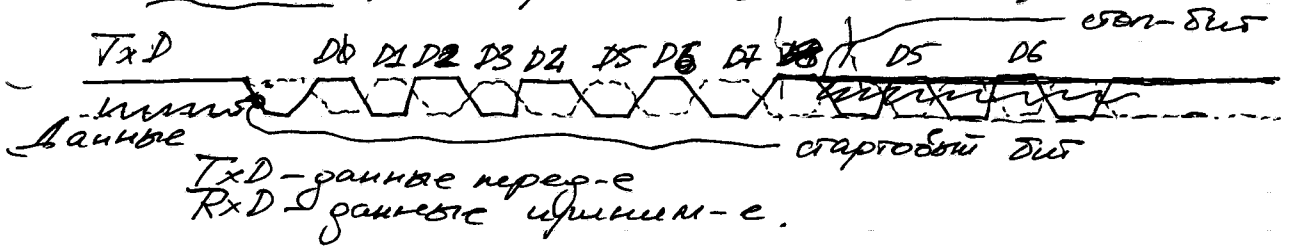
Режим 0 Синхронный обмен.



Инф. собирается через 8  
 тактовых импульсов.

Прием и передача осуществляется  
 одновременно.

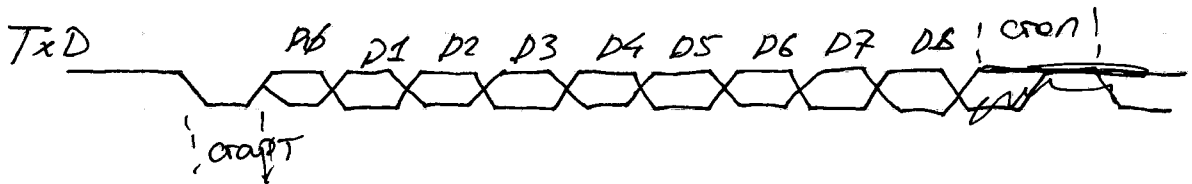
Режим "1". Асинхронный обмен. (8 бит).



Для корректной синхронизации длительность одного бита должна быть одинак. от приемника и передатчика.

$$f = \frac{2^{SMOD} \cdot f_{T1}}{32} = \frac{2^{SMOD} \cdot f_{osc}}{32 \cdot 12 (256 - TH1)}$$

Режимы 2,3



Исп-ся в микропроцессорном обмене.

Восьмой бит делит инф-ю на линии на 2 типа:

пропущено

4.

# Команды микроконтроллера.

1. Команды пересылки
2. Команды логич. обр.
3. Команды арифм.
4. Команды периферии чип.
5. Команды булевого управл.

## ① Команды пересылки.

•  $MOV \underline{\quad}, \underline{\quad}$   
приемник источник

Типы адресации:

1. Регистровая 1 байт  
 $MOV A, R_n$  - пересылка из регистра с номером  $n$  в аккумулятор.  
 $MOV R_n, A$  - наоборот
2. Прямая. Указ-я адреса ячеек. 2 байта.  
 $MOV A, direct$ , где  $direct$  - адрес источника  
 $MOV R_n, direct$
3. Косвенно-регистровая.  
Регистры  $R0, R1$  могут содержать адрес ячейки, на кот. н.б. выгружаются.  
 $MOV A, @R_i$ ; @ - знак, что в ячейке содержится адрес.
4. Непосредств-я  
 $MOV @R_i, \#data\{B\}$   
 $MOV direct, \#data\{B\}$

Сущ. регистр на 2 байта:  $MOV DPTR, \#data\{16\}$ .  
Это регистр косвенного адреса.

•  $MOVC A, @A+DPTR$  - косвенно-регистровая адресация  
} через регистр косв. адреса  $DPTR$ .  
} смещение базовый адрес

Такой вид исп-я для чтения табл-х данных.

$MOVC A, @A+PC$  - через регистр индекса счетчика.  
Позволяет считать данные за командой, которая в данный момент исполняется.

• Для дополнит. ОЗУ.  $MOVX A, @DPTR$   
 $DPTR$  непосред-но указывает номер ячейки.

Используется внешний шина - порты  $P0, P2$ .  
 $P0$  - младш. разряды адреса,  $P2$  - старшие.

$MOVX @DPTR, A$  - обратная операция.

- Если указано:  $MOVX A, @R2$ . В этом случае  $R2$  сод-т младшую часть адреса. Остальное в  $P2$ .

То же самое MOV @R2, A.

Предварительно нужно написать в P2 FF.

Иначе P2 и P0 объединяется по монтажному шину.

- для стека. Физически расположен в ОЗУ.

PUSH direct - записать в стек

POP direct - считать из стека.

Можно сохранять только прямоадресуемые ячейки.

- для перекрестной пересылки. XCH A, Rn  
XCH A, direct  
XCH A, @Ri

XCHD A, @R - обмен тремя младшими битами.

## 2) Команды логич. обработки.

1) Одноместные

2) Двухместные

- одноместные:

SCPL - инверсия

CLR - очистка

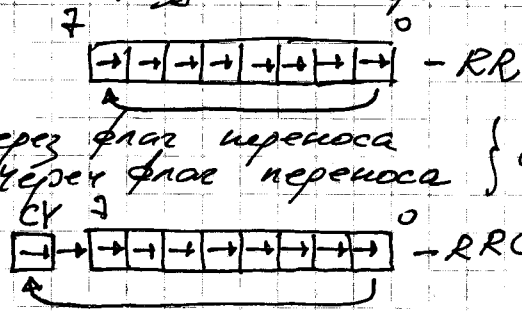
RL - rotate left

RR - rotate right

RLC - rotate left через флаг переноса

RRC - rotate right через флаг переноса } арифм. сдвиг

Адресуется либо аккумулятор, либо прямая адресация. Регистр использоваться не может. Результат - в первом операнде.



SWAP - обмен старшим и младшим тетрад

- двухместные

ANL A, direct

ANL direct, A

ORL A, direct

ORL direct, A

XRL A, direct

XRL direct, A

## 3) Арифметич. команды.

ADD A, direct

ADDC A, ~~direct~~ @Ri } сложение. ADDC учитывает перенос из предыдущ. выражения.

SUBB A, Rn - вычитание с учетом заема

INC A

DEC A

INC direct

DEC direct

INC @R, DPTR

DEC DPTR

MUL A, B

результат помест. в регистр AB.

DIV A, B

уменьшаемо. результат - A, остаток B.

④ Команды передачи управления.

Предназначены для организации ветвлений.

- команды безусловного перехода.

JMP  $\longleftarrow$  полный адрес в пределах адресной области: 16 бит  
 LJMP  $\longleftarrow$  в пределах всего объёма адресной области  
 SJMP  $\longleftarrow$  в пределах  $\pm 127$  байт. - в директивный адрес.  
 AJMP  $\longleftarrow$  ~~12-ти битный~~ адрес. В пределах  $\pm 12$ -ти байт.  
 адрес

- команды вызова подпрограмм.

ACALL  $\longleftarrow$  переход на подпрограмму. В стеке  
 LCALL  $\longleftarrow$  сохр. адрес ~~перехода~~. Возврата.  
 адрес

RET ~~...~~ - возврат из подпр.г.

- условный переход

JZ A,  $\text{addr}$  переход, если 0 } I 127 байт  
 JNZ A,  $\text{addr}$  переход, если 1

CJNE  $\longleftarrow$  сравнить, и перейти. CJNE A, direct,  $\text{addr}$   
 Rn, direct,  $\text{addr}$   
 равно-кратно.

DJNZ Rn,  $\text{addr}$  модиф. с усл. переходом.  
 direct,  $\text{addr}$  } Из Rn вычит. 1. Если  $\neq 0$ , то переход.  
 Для организации циклов.

NOP - команда ничего не делающая :)

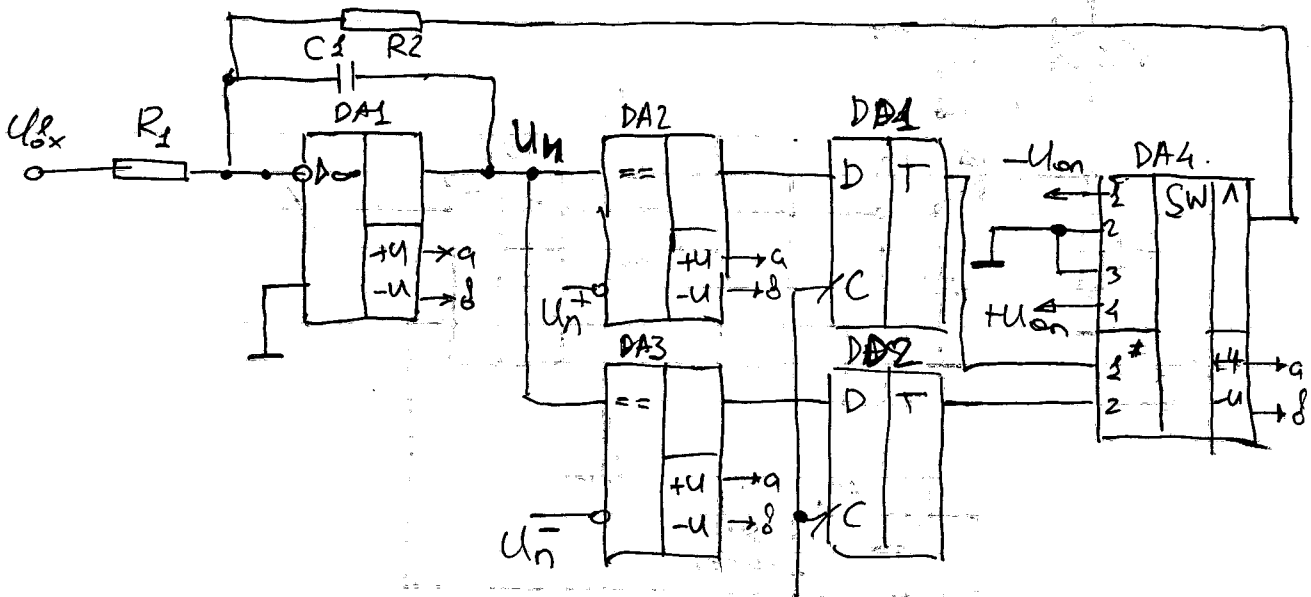
⑤ Булевы операции. Осущ-ся над одним битом.  
 1-й операнд - C, второй операнд - прямоадр. бит.

MOV C, bit  
 MOV bit, C  
 CLR C  
 CLR bit  
 SETB C (bit)  
 CPL bit (C)  
 ANL C, bit  
 ANLC C, bit, косая черта - знак инверсии.

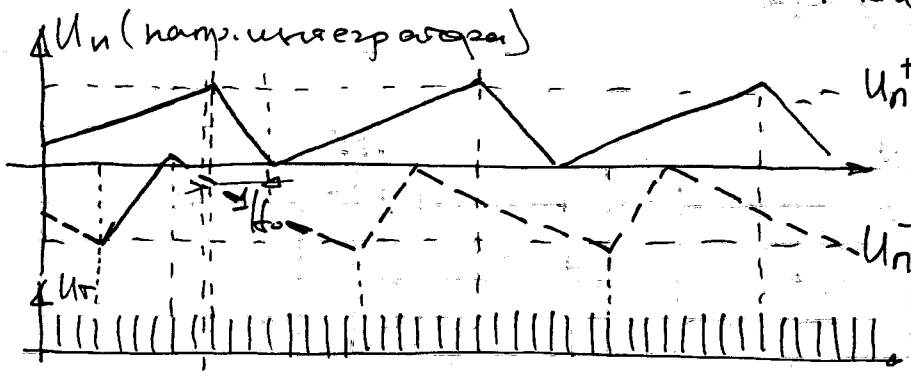
JC  $\text{addr}$   
 JNC  $\text{addr}$  } I 127 байт  
 JB  $\text{addr}$   
 JNB  $\text{addr}$

JBC  $\text{bit, addr}$  - ~~если~~ <sup>if</sup> bit = 0, then { bit = 0; JMP  $\text{addr}$  }.

Преобр-ли напряж.-частота для двухполярн. сигналов.

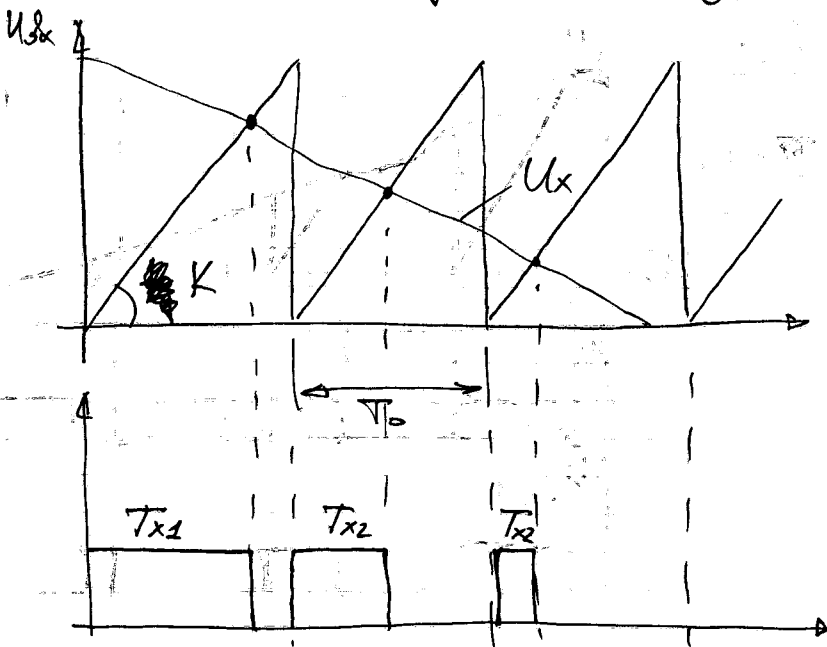


U такта (то)



DA1 - операционный усилитель.  
 DA2, DA3 - компараторы  
 DD1, DD2 - D-триггеры  
 DA4 - ключ.

Широтно-импульсный модулятор.

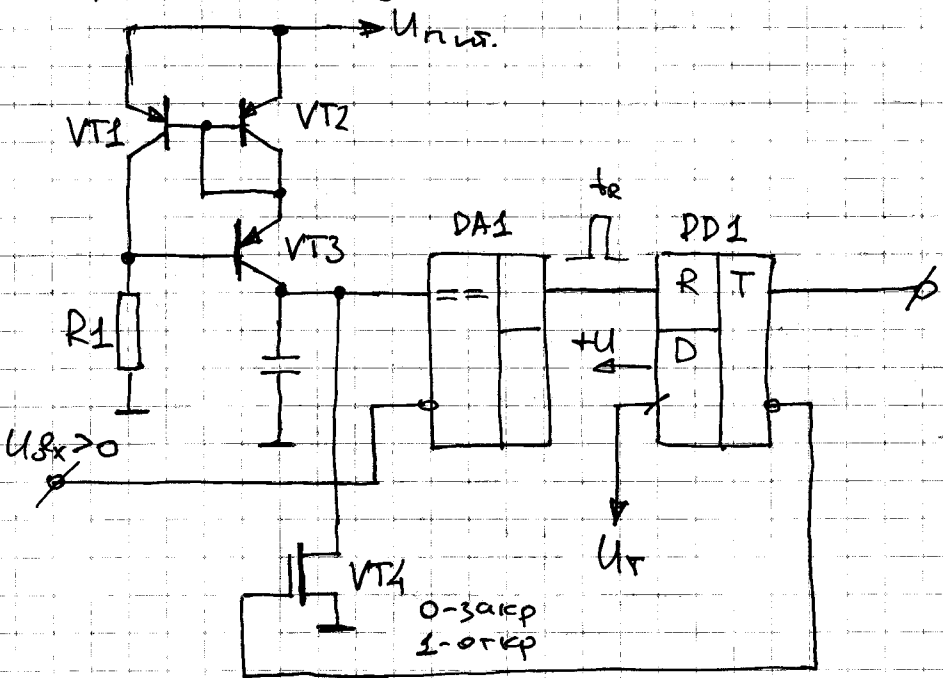


Преобр-ет напряж. в импульсы

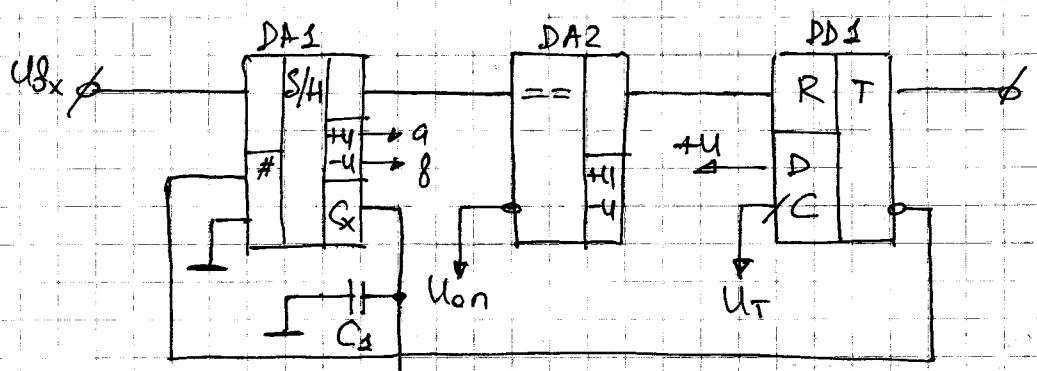
$$T_{xi} = \frac{U_{xi}}{k}$$

Это ШИМ I-го рода.  
 Ампл. импульса пропорц. напряж. в момент окончания импульса.

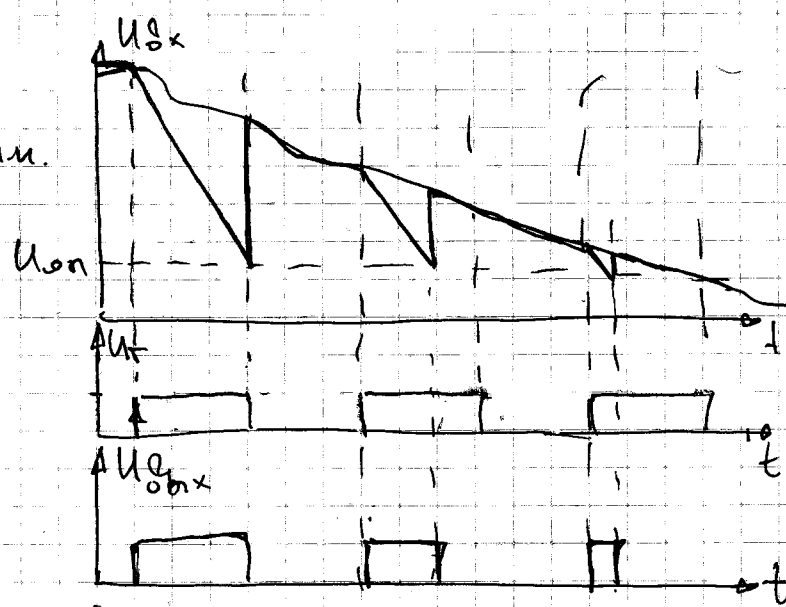
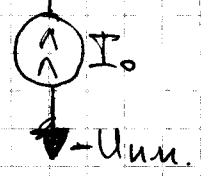
УММ I-го рода.



УММ II-го рода.

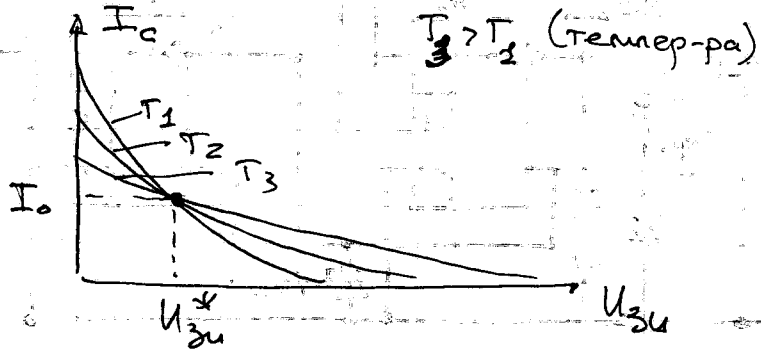
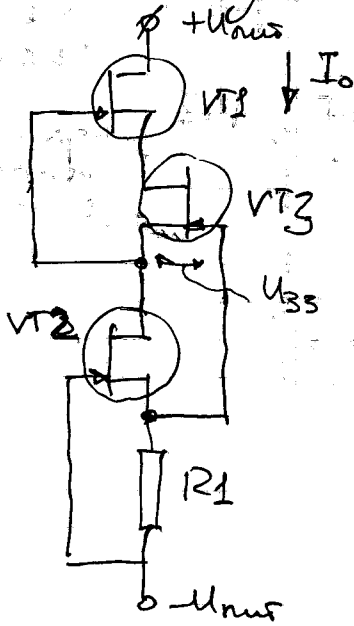


DA1 - усилитель  
выборки -  
- хранения



# Стабилизаторы тока.

① Двухполюсный источник тока.  
В схему включ-ся 2-мя диодами.

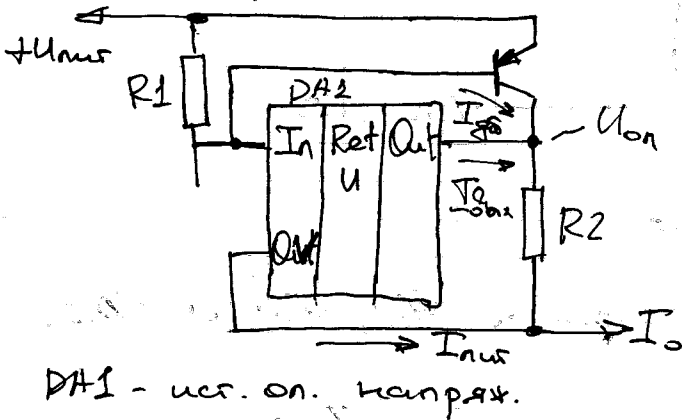


Величина  $I_0 \sim 2..3 \text{ мА}$ .

VT1, VT2 тока не изменяют.  
 $U_{33}$  задана от  $I_0$ . Они стабилизируют напря-е на VT2 -  $U_{сш}$ .

$$\Delta U = 20 \text{ В} \rightarrow \Delta I_0 = 2 \cdot 10^{-6} I_0.$$

② Двухполюсн. ИТ на основе цел. опорного напряжения.



$$I_0 = \frac{U_{оп}}{R_2} + I_{нас}$$

$$I_{вх} < 5 \text{ мА}$$

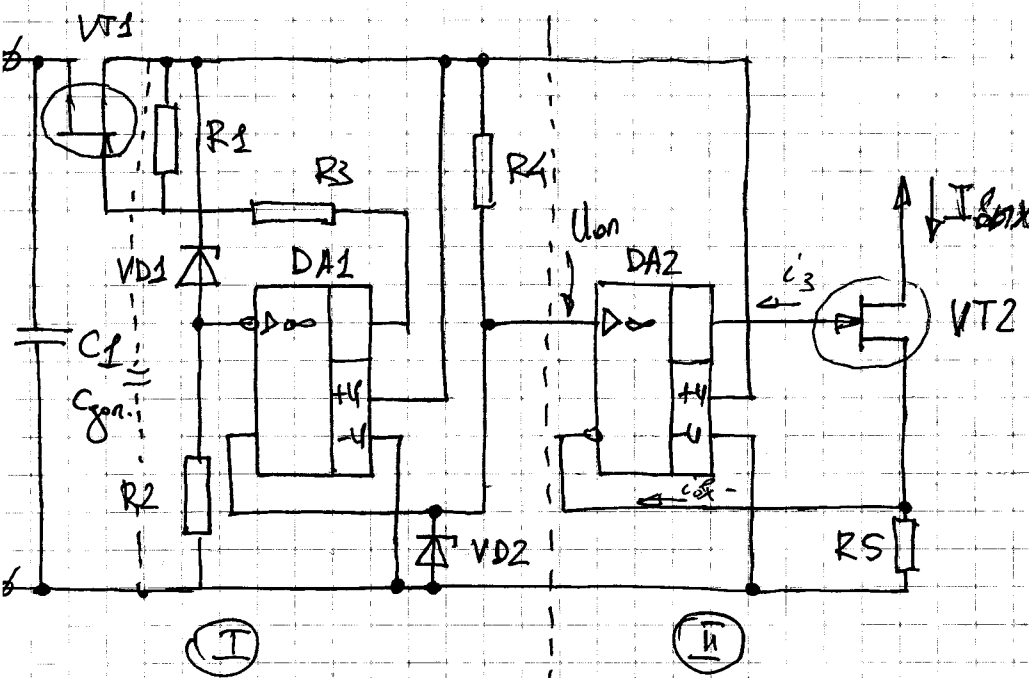
$$I_0 = I_{вх} + I_{гс}$$

Схема хорошо работает при  $I_{нас} = \text{const}$

DA1 - цел. оп. напряж.

③ Трехполюсный источник тока.

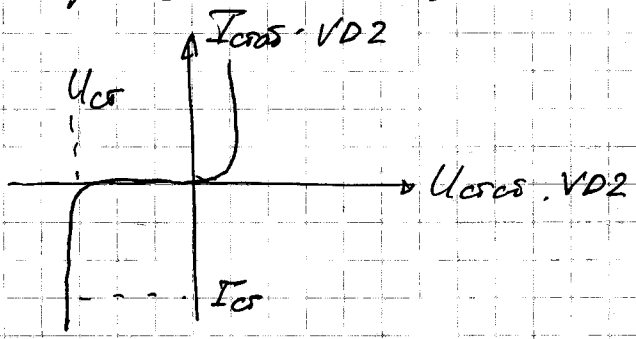




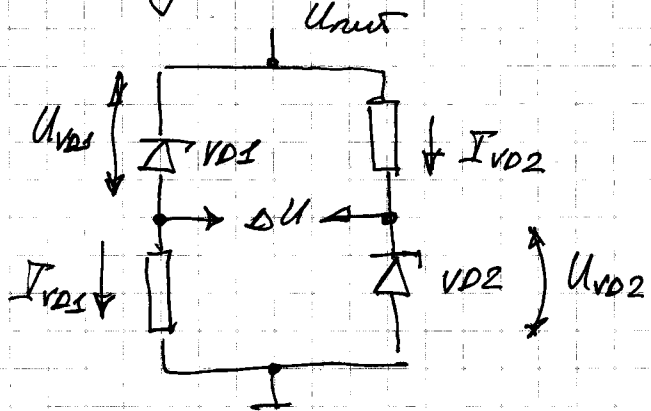
I - источник опорного напряжения на основе стабилизированной VD1 и VD2  
 II - преобразователь напряжения в ток

$$I_{out} = \frac{U_{оп} - U_{см}}{R_5} - i_{Dx} - i_3$$

Необх. стабилн.  $U_{оп}$ ,  $U_{см}$ ,  $i_{Dx}$  и  $i_3$ .  
 Т.е. нужен операционный усилитель с долговр. стабильностью  $U_{см}$ , ~~и~~  $U_{оп}$ . Стаб.  $i_{Dx}$  обеспечивается ОУ с дифференциальными транзисторами (и  $i_{Dx}$ ).



Для получения стабильного  $I_{out}$ , цепь с VD1:



$\Delta U$  приращение  $K$  около DA1 и обход его управ-ет забором VT1.

$\Delta U$  гонимо  $\rightarrow R$ .

$$R_2 I_{VD1} = U_{VD2}$$

$$U_{VD1} = R_4 I_{VD2}$$

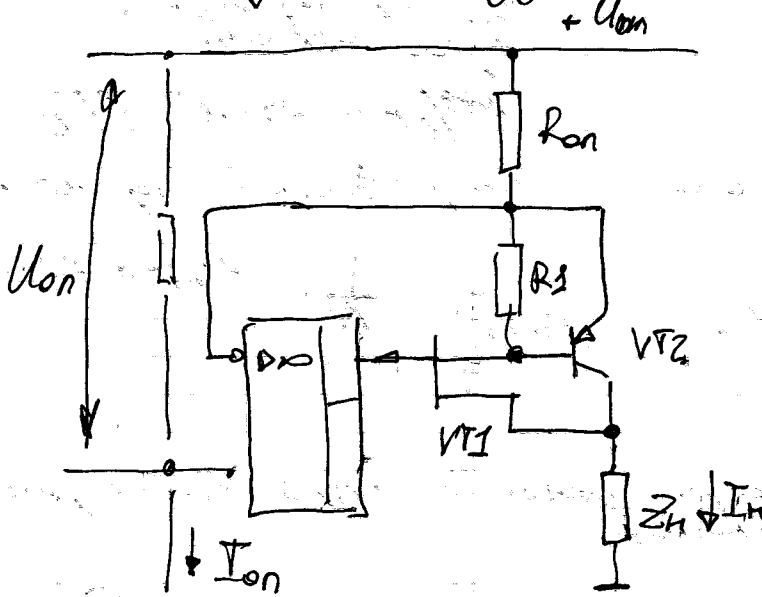
Т.о.  $U_{пит}$  VD1 достигается балансировка моста стабилизирован. т.е. нужно иметь балансировку стаб. ток.

Это можно выполн. только с  $C_2$  при  $U_{пит} = const$ .

Наличие  $R_1$  обеспечивает начальное открытие  $VT_2$  и запуск схемы.

Иногда ставят конденсатор для подавления ВЧ помех.

Для стабилизации тока нагрузки, подключенной к выходу — прободу.



Недостатки:  
 $U_{оп}$  относительно нестабильно ( $\approx \pm 5 \dots 10\%$ )  
 а  $I_n$  р.б. стабилизируется с точностью  $\pm 0,001\%$ .

Можно формировать  $I_{оп}$ .

## Источники опорного напряжения.

Формируют меру напряжения.

Основные параметры:

1. Величина  $U_{оп}$
2. Точность:

- допуск на  $U_{оп}$ ,  $\pm 1 \dots 0,01\%$ .

- стабильность долговременная  $\Delta U_{оп} / \Delta t$  [В/час.год].

- время готовности,  $\Delta t$ , при котором  $\Delta U$  будет в допуске. [час].  $\Delta U_{оп} / \Delta T$  [В/К].

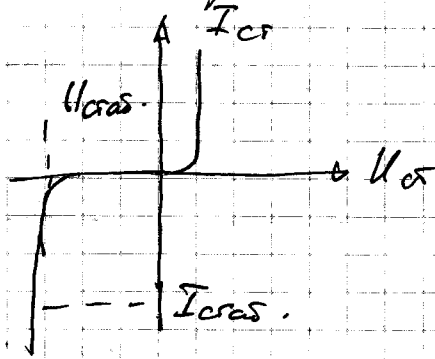
- температурн. стабильность

3. Шумы

4. Потребл. ток (потребл. мощность)

5. Нагрузочная способность

① Стабилитрон в качестве источника ЦСН.



$U_{Cst0} = 0,7 \dots 200 \text{ В.}$

$P_{расс.} = 0,1 \dots 50 \text{ Вт.}$

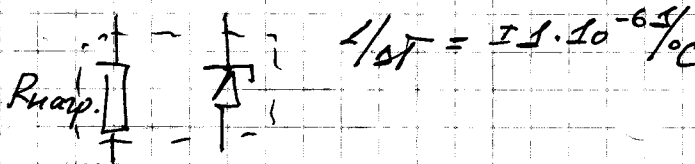
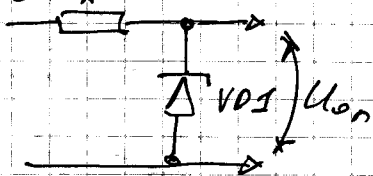
луч. узла и набор прецезионн. стабилитр.

$U \sim 9, 9,1, 6,2 \text{ В.}$

$I_{Cst0} = 10 \text{ мА.}$

$\frac{\Delta U}{\Delta T} = \pm 5 \cdot 10^{-6} \text{ \% / } ^\circ\text{C.}$

луч. стабилитроны с нагреваемым кристаллом.



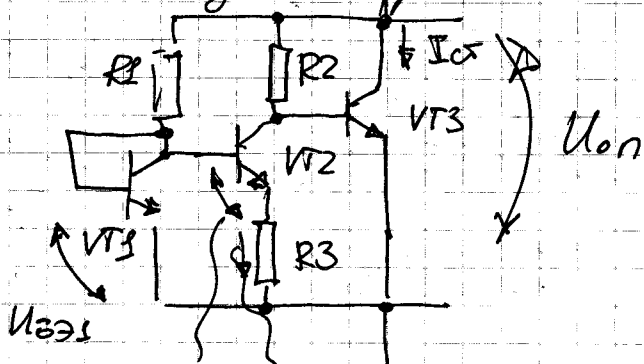
Имеет хорошую долговр. стабильность, малую чувств. к излучению.

Недостатки:

- дост. большой уровень напр. стабилитр.
- дост. большой уровень шума (сагоб.).
- параметры меняются от включения к включению (уменьшился уровень  $\sim$  ед. мВ).
- В нач. момент эволюция луч. задвижка от времени и темп-ры.

② ЦБЭ - стабилитрон.

Это след. интегральная схема.



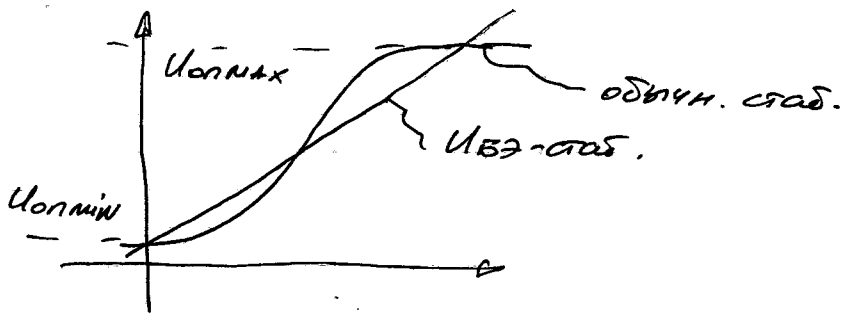
$$U_{Cst} = U_{ЦБЭ} + \Delta U_{ЦБЭ} \cdot \frac{R_2}{R_3}$$

$\downarrow$  отриц. темп. коэф.       $\downarrow$  полож. темп. коэф.

$U_{ЦБЭ} \quad I_2 = \frac{\Delta U_{ЦБЭ}}{R_3} ; \quad U_{R2} = \Delta U_{ЦБЭ} \cdot \frac{R_2}{R_3}$

$\Delta E_0 = U_{ЦБЭ0} + \frac{kT_0}{q} \cdot \frac{R_2}{R_3} \ln \frac{I_2}{I_0}$  - экстр. зона n-n материала.

$U_{ЦБЭ0} = 1,205 \text{ В}$

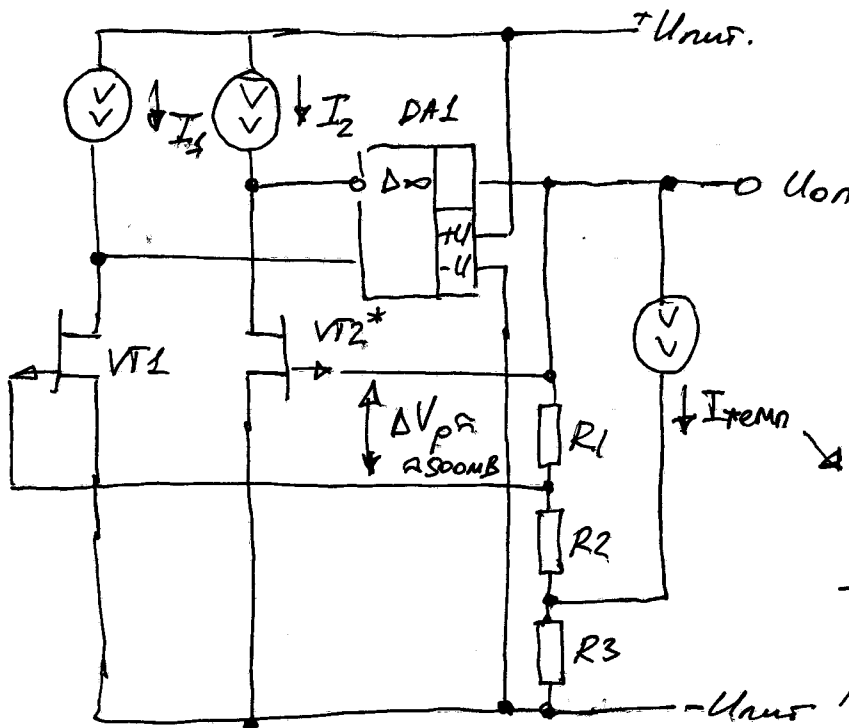


Обычн. стаб-н  
имеет темп.  
темп. коэф.

Ток погреш. 1..10 мА.  
Допуск на ком-л 1..0.1%.  
Хорошая повтор-ть от выключ. к выключ.  
Низкий уровень шумов.

Недостатки:  
- в теч. времени  $I_{оп}$  меняется (плохая долг-е стаб-ть), особ-но при высе. темп. эксплуатации.  
- сильное ближнее излучение.

③ Устойчивк  $I_{оп}$  с помощью транз-ки.



$$I_1 = I_2$$

$$I_{оп} = \frac{\Delta V_p}{R_1} (R_1 + R_2 + R_3) + R_3 I_{темп}$$

$\Delta V_p$  имеет отриц. темп. коэф.

ТКН ( $\Delta V_p$ )  $\sim 120 \cdot 10^{-6} / ^\circ C$   
положит. темп. коэф.

$I_{погреш}$   $\approx 20 \text{ мА}$   
.. 1 мА.

Низкий уровень шума.  
но проблема

Вос. стаб. от выключ. к выключ., с долговр. стаб-ю.